



501.35437CV2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: M. YOSHIDA et al.
Application No.: 09/416,959
Filed: October 13, 1999
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
PROCESS FOR MANUFACTURING THE SAME
Art Unit: 2812
Examiner: R. Pompey

SUBMISSION OF SWORN TRANSLATION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 25, 2003

Sir:

In accordance with the provisions of MPEP 201.15, Applicants are submitting herewith a sworn translation of Japanese priority document JPA-8-137957, duly filed in Japan on May 31, 1996, in order to overcome the use of USP 5,748,521 as a reference in the above-identified application. U.S. Patent 5,748,521 to Lee was relied on in the Office Action dated June 30, 2003 in rejecting claims of this application. Inasmuch as the U.S. filing date of November 6, 1996 for the Lee patent is subsequent to the May 31, 1996 Japanese filing date of the priority document to which the present application is entitled to benefit under 35 U.S.C. § 119, entry of this sworn translation and removal of U.S. Patent 5,748,521 as a reference is respectfully requested.

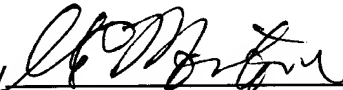
With regard to this, it is noted that benefit of foreign priority and a certified copy the Japanese priority document have been filed in the parent application serial number 08/865,864 (now U.S. Patent 5,981,369) on May 30, 1997.

If the Examiner believes that there are any other points which may be clarified or otherwise disposed of either by telephone discussion or by personal interview, the Examiner is invited to contact Applicants' undersigned attorney at the number indicated below.

To the extent necessary, Applicants petition for an extension of time under 37 CFR 1.136. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to the Deposit Account No. 01-2135 (Case No. 501.35437CV2), and please credit any excess fees to such Deposit Account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

By 
Gregory E. Montone
Reg. No. 28,141

GEM/dlt

1300 North Seventeenth Street, Suite 1800
Arlington, Virginia 22209
Telephone: (703) 312-6600
Facsimile: (703) 312-6666

DECLARATION

I, Nagomi TSUCHIDA , a national of Japan, c/o Central Research Laboratory, Hitachi, Ltd., 280 1-chome, Higashi-Koigakubo, Kokubunji-shi, Tokyo, Japan declare that I am familiar with both the English and Japanese languages, that to the best of my knowledge and belief the following is a true and accurate translation of Japanese Patent Application, Serial No. 137957 of 1996 and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code, and may Jeopardize the validity of the application or any patent issuing thereon.

Dated this 19 day of 9 , 2003

Nagomi Tsuchida

Translator Nagomi TSUCHIDA

[Document's Name] Application for Patent

[Reference Number] H96008961

[Submission Date] May 31, 1996

[Destination] Director-General of the Japanese Patent
Office

[International Patent Classification] H01L 21/10

[Title of the Invention] SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE MANUFACTURING PROCESS

[Inventor]

[Address or Residence] c/o Device Development
Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to,
198-8512 Japan

[Name] Makoto YOSHIDA

[Inventor]

[Address or Residence] c/o Device Development
Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to,
198-8512 Japan

[Name] Takahiro KUMAUCHI

[Inventor]

[Address or Residence] c/o Device Development
Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to,
198-8512 Japan

[Name] Yoshitaka TADAKI

[Inventor]

[Address or Residence] c/o Device Development
Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to,
198-8512 Japan

[Name] Kazuhiko KAJIGAYA

[Inventor]

[Address or Residence] c/o Device Development
Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to,
198-8512 Japan

[Name] Hideo AOKI

[Inventor]

[Address or Residence] c/o Device Development
Center, Hitachi, Ltd., 2326 Imai, Ome-shi, Tokyo-to,
198-8512 Japan

[Name] Isamu ASANO

[Applicant]

[Identification No.] 000005108

[Name or Title] Hitachi, Ltd.

[Representative] Tsutomu KANAI

[Agent]

[Identification No.] 100080001

[Patent Attorney]

[Name or Title] Yamato TSUTSUI

[Telephone No.] 03-3366-0787

[Representation of Fee]

[Ledger Number for Prepayment] 006909

[Amount of payment] ¥21000

[Contents of Submitted Documents]

[Name of Document] Specification 1

[Name of Document] Drawing 1

[Name of Document] Abstract 1

[Requirement for Proof] Yes.

[Document's Name] SPECIFICATION

[Title of the Invention] SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE MANUFACTURING PROCESS

[Claims]

[Claim 1] A process for manufacturing a semiconductor integrated circuit device including a MISFET, characterized in that all conductive films to be deposited on a semiconductor substrate are deposited at a temperature of 500°C or lower at a step after said MISFET has been formed.

[Claim 2] A semiconductor integrated circuit device manufacturing process according to Claim 1, characterized in that said conductive films are made of a metal or its compound.

[Claim 3] A semiconductor integrated circuit device manufacturing process according to Claim 2, characterized in that said metal is tungsten, aluminum, titanium or copper, and said metal compound is titanium nitride.

[Claim 4] A process for manufacturing a semiconductor integrated circuit device including a MISFET, characterized in that all insulating films to be deposited on a semiconductor substrate are deposited at a temperature of 500°C or lower at a step after said MISFET has been formed.

[Claim 5] A semiconductor integrated circuit device manufacturing process according to Claim 4, characterized in that said insulating films are either silicon oxide films

deposited by a plasma CVD method or silicon nitride films deposited by a plasma CVD method.

[Claim 6] A semiconductor integrated circuit device manufacturing process according to Claim 4, characterized in that the surfaces of said insulating films are flattened by a chemical-mechanical polishing method.

[Claim 7] A process for manufacturing a semiconductor integrated circuit device including a MISFET, comprising:

a first step of forming a MISFET in an active region over a semiconductor substrate after an element isolating region has been formed over said semiconductor substrate; and

a second step of forming a wiring line by depositing an insulating film and a conductive film over said MISFET,

characterized in that the upper limit of the heat treatment temperature at said second step is made lower than that of the heat treatment temperature at said first step.

[Claim 8] A semiconductor integrated circuit device manufacturing process according to Claim 7, characterized in that the heat treatment temperature at said second step is made lower for the later steps.

[Claim 9] A semiconductor integrated circuit device manufacturing process according to Claim 1, characterized in that said semiconductor integrated circuit device comprises a DRAM including a memory cell in which a bit line

is arranged over a memory cell selecting MISFET whereas an information storing capacitive element is arranged over said bit line.

[0001]

[Technical Field to which the Invention Pertains]

The present invention relates to a technique for manufacturing a semiconductor integrated circuit device and more particularly to a technique which is effective if applied to a manufacture of a semiconductor integrated circuit device having MISFETs (Metal Insulator Semiconductor Field Effect Transistors).

[0002]

[Prior Art]

The LS1, represented by a large capacity DRAM of recent years, is encountered by a serious problem of a high cost raised by the increase in the number of steps, because its manufacture process is complicated more as its integration, speed and function grow higher. In accordance with this, the number of depositing insulating films and conductive films over a semiconductor substrate at a temperature of 700 to 900°C is increased to make it difficult to achieve a high performance for the MISFETs by realizing a shallow junction. Moreover, the increase in the wiring resistance resulting from the miniaturization raises an obstruction to the speedup.

[0003]

[Problems to be Solved by the Invention]

An object of the present invention is to provide a technique capable of reducing the number of heat treatment steps in a process for manufacturing a semiconductor integrated circuit device having MISFETs.

[0004]

Another object of the present invention is to provide a technique capable of simplifying the process for manufacturing a semiconductor integrated circuit device having MISFETs.

[0005]

Another object of the present invention is to provide a technique capable of lowering the wiring resistance of a semiconductor integrated circuit device having MISFETs.

[0006]

The aforementioned and other objects and novel features of the present invention will become apparent from the following description to be made with reference to the accompanying drawings.

[0007]

[Means for Solving the Problems]

Representatives of the aspects of the invention, as disclosed herein, will be briefly described in the following.

[0008]

(1) By a process for manufacturing a semiconductor integrated circuit device of the present invention, all conductive films to be deposited over a semiconductor substrate are deposited at a temperature of 500°C or lower at a step after formation of MISFETs.

[0009]

(2) By a process for manufacturing a semiconductor integrated circuit device of the present invention, all conductive films to be deposited over a semiconductor substrate are made of a metal or its compound.

[0010]

(3) By a process for manufacturing a semiconductor integrated circuit device of the present invention, all insulating films to be deposited over a semiconductor substrate are deposited at a temperature of 500°C or lower at a step after formation of MISFETs.

[0011]

[Preferred Embodiments]

The embodiments of the present invention will be described in detail with reference to the accompanying drawings. Throughout the drawings for explaining the embodiments the parts or portions having the same functions are designated by the same reference numerals, and their repeated description will be omitted.

[0012]

(Embodiment 1)

The present embodiment is applied to a process for manufacturing a DRAM having memory cells of stacked capacitor structure, in which information storing capacitive elements (capacitors) are arranged over memory cell selecting MISFETs.

[0013]

For manufacturing this DRAM, first of all, there is prepared a semiconductor substrate 1 which is made of a p⁻-type single crystal silicon having a specific resistance of about 10 Ω ·cm, as shown in Fig. 1. The surface of the semiconductor substrate 1 is oxidized to form a thin silicon oxide film 43, and a silicon nitride film 44 is deposited over the silicon oxide film 43 by a CVD method. This silicon nitride film 44 is etched by using a photoresist as a mask to remove the silicon nitride film 44 from an element isolating region.

[0014]

Next, as shown in Fig. 2, the semiconductor substrate 1 is annealed at a temperature of about 1,000°C by using the silicon nitride film 44 as a mask, to form a field oxide film 2 having a thickness of about 400 nm.

[0015]

Next, the silicon nitride film 44 is removed, and the

semiconductor substrate 1 at the regions to form a memory array and to form n-channel MISFETs of a peripheral circuit is doped with ions of a p-type impurity (boron (B)), as shown in Fig. 3, to form a p-type well 3. Moreover, the semiconductor substrate 1 at the region to form p-channel MISFETs of a peripheral circuit is doped with ions of an n-type impurity (phosphor (P)) to form an n-type well 4. Subsequently, the p-type well 3 is doped through the field oxide film 2 with boron (B) ions of a p-type impurity to form a p-channel stopper layer 5 below the field oxide film 2, and the n-type well 4 is doped through the field oxide film 2 with phosphor (P) ions of an n-type impurity to form an n-type channel stopper layer 6 below the field oxide film 2. After this, the surfaces of the individual active regions of the p-type well 3 and the n-type well 4, enclosed by the field oxide film 2, are thermally oxidized at a temperature of about 800°C to form a gate oxide film 7 having a thickness of about 8 nm.

[0016]

Next, as shown in Fig. 4, there are formed gate electrodes 8A (word lines WL) for the memory cell selecting MISFETs, gate electrodes 8B of the n-channel MISFETs of the peripheral circuit, and gate electrodes 8C of the p-channel MISFETs. These gate electrodes 8A (word lines WL) and the gate electrodes 8B and 8C are simultaneously formed by

depositing a tungsten (W) film having a thickness of about 150 nm at a filming temperature of about 475°C over the semiconductor substrate 1 by a CVD method, by depositing a silicon nitride film 9 having a thickness of about 250 nm at a filming temperature of about 360°C over the W film by a plasma CVD method, and by patterning those films by an etching method using a photoresist as the mask.

[0017]

Next, as shown in Fig. 5, the p-type well 3 is coped with ions of an n-type impurity such as phosphor (P) or arsenic (As) by using the (not-shown) photo-resist mask for exposing the NMOS forming region to the outside, and the n-type well 4 is doped with boron (B) ions of a p-type impurity by using the (not-shown) photoresist mask for exposing the PMOS forming region to the outside. By the subsequent annealing step, the n-type impurity (P) forms n-type semiconductor regions 11 (a source region and a drain region) of the memory cell selecting MISFETs and n--type semiconductor region of the n-channel MISFETs of the peripheral circuit in self-alignment with the gate electrodes 8A and 8B, and the p-type impurity (B) forms p'-type semiconductor region 14 of the p-channel MISFETs of the peripheral circuit in self-alignment with the gate electrodes 8C.

[0018]

Next, as shown in Fig. 6, side wall spacers 10 are formed at the individual side walls of the gate electrode 8A (word lines WL) and gate electrodes 8B and 8C. After this, the p-type well 3 of the peripheral circuit is doped with ions of an n-type impurity such as arsenic (As) or phosphor (P) by using the (not-shown) photoresist mask covering the memory array region and the PMOS forming region of the peripheral circuit, and the n-type well 4 is doped with boron (B) ions of a p-type impurity by using the (not-shown) photoresist mask covering the memory array region and the NMOS forming region of the peripheral circuit. The side wall spacers 10 are formed by depositing a silicon nitride film having a thickness of about 100 nm at a filming temperature of about 360°C over the semiconductor substrate I by a plasma CVD method, and by working the silicon nitride film by an anisotropic etching method.

[0019]

Next/by annealing the semiconductor substrate 1 in a nitrogen atmosphere at about 900°C to diffuse the aforementioned n-type impurity (P) and p-type impurity, as shown in Fig. 7, there are formed the n-type semiconductor regions 11 (the source regions and the drain regions) of the memory cell selecting MISFETs, an n⁻-type semiconductor region 12 and an n⁺-type semiconductor region 13 of the n-channel MISFETs of the peripheral circuit, and a p⁻-type

Semiconductor region 14 and a p^+ -type semiconductor region 15 of the p-channel MISFETs. The n^+ -type semiconductor region 13 and the p^+ -type semiconductor region 15 are formed in self-alignment with the side wall spacers 10. In the peripheral circuit, the source regions and the drain regions of the n-channel MISFETs are individually constructed of an LDD (Lightly Doped Drain) structure composed of the n^- -type semiconductor region 12 and the n^+ -type semiconductor region 13, and the source regions and the drain regions of the p-channel MISFETs are individually constructed of an LDD structure composed of the p^- -type semiconductor region 14 and the p^+ -type semiconductor region 15.

[0020]

Next, as shown in Fig. 8, contact holes 17 and 18 for exposing a portion of the semiconductor region 11 to the outside are formed over the n-type semiconductor regions 11 (the source regions and the drain regions) of the n-type semiconductor regions 11 of the memory cell selecting MISFETs; contact holes 19 and 20 for exposing portions of the semiconductor regions 12 and 13 to the outside are formed over the n^+ -type semiconductor regions 13 (the source regions and the drain regions) of the n-channel MISFETs of the peripheral circuit; and contact holes 21 and 22 for exposing portions of the semiconductor regions 14 and 15 to the outside are formed over the p^+ -type semiconductor regions 15

(the source regions and the drain regions) of the p⁺-type semiconductor regions 15 of the p-channel MISFETs, by depositing a silicon oxide film 16 having a thickness of about 500 nm at a filming temperature of about 390°C over the memory cell selecting MISFETs, the n-channel MISFETs and the p-channel MISFETs of the peripheral circuit by a plasma CVD method, by polishing the silicon oxide film 16 by a CMP (Chemical-Mechanical Polishing) method to flatten its surface, and by etching the silicon oxide film 15 and the gate oxide film 7 by using a photoresist as the mask.

[0021]

At this time, the silicon nitride film 9, formed over the gate electrodes 8A (the word lines WL) of the memory cell selecting MISFETs, and the side wall spacers 10 of silicon nitride, formed at the side walls, are slightly etched so that the contact holes 17 and 18 are formed in self-alignment with the side wall spacers. Likewise, the silicon nitride film 9, formed over the gate electrodes 8B of the n-channel MISFETs of the peripheral circuit and over the gate electrodes 8C of the p-channel MISFETs, and the side wall spacers 10 of silicon nitride, formed at the side walls, are slightly etched, so that the contact holes 19 to 22 are formed in self-alignment with the side wall spacers 10.

[0022]

The insulating film to be formed over the memory cell

selecting MISFETs and the n-channel MISFETs and p-channel MISFETs of the peripheral circuit should not be limited to the aforementioned silicon oxide film 16 but can be an ozone (O_3)-BPSG (Boron-doped Phospho Silicate Glass) film deposited at a filming temperature of about 450°C by a CVD method, or an ozone-TEOS (Tetra Ethoxy Silane) film deposited at a filming temperature of about 400°C by a CVD method. These insulating films are flattened at their surfaces by the chemical-mechanical polishing (CMP) method, as for the silicon oxide film 16.

[0023]

Next, as shown in Fig. 9, plugs 23, made of a multilayer film of titanium nitride (TiN) and W, are buried in the contact holes 17 to 22. These plugs 23 are formed by depositing a TiN film having a thickness of about 50 nm acting as an adhesive layer for the substrate and the W film over the silicon oxide film 16 by a sputtering method, by depositing the W film having a thickness of about 300 nm at a filming temperature of 475°C over the TiN film by a CVD method, and by etching back the W film and the TiN film.

[0024]

At this time, in order to reduce the contact resistance between the plugs 23 and the substrate, a Ti silicide ($TiSi_2$) film may be formed below the contact holes 17 to 22. This Ti silicide film is formed by depositing a Ti film having

a thickness of about 50 nm over the silicon oxide film 16 by a sputtering method, by causing the Ti film and the semiconductor substrate below the contact holes 17 to 22 to react by annealing them at a temperature of about 800°C, and by wet-etching off the Ti film left unreacted over the silicon oxide film 16. After this, the TiN film and W film, deposited over the silicon oxide film 16, are etched back to form the plugs 23.

[0025]

Next, as shown in Fig, 10, bit lines BL₁ and BL₂ and wiring lines 24A and 24B of the peripheral circuit are formed over the silicon oxide film 16. These bit lines BL₁ and BL₂ and the wiring lines 24A and 24B are simultaneously formed by depositing a W film having a thickness of about 300 nm at a filming temperature of about 475°C over the silicon oxide film 16 by a plasma CVD method, by depositing a silicon nitride film 25 having a thickness of about 200 nm at a filming temperature of about 360°C over that W film by a plasma CVD method, and by etching and patterning those films by using a photoresist as the mask.

[0026]

The bit line BL[^] is electrically connected through the aforementioned contact hole 17 with one of the source region and the drain region (the n-type semiconductor regions 11) of the memory cell selecting MISFET. The bit line BL₂ is

extended from the memory array region to the peripheral circuit region and is electrically connected through the aforementioned contact hole 19 with one of the source region and the drain region (the n^+ -type semiconductor regions 13) of an n-channel MISFET Q_n of the peripheral circuit.

[0027]

One end of the wiring line 24A of the peripheral circuit is electrically connected through the contact hole 20 with the other (the n^+ -type semiconductor region 13) of the source region and the drain region of the n-channel MISFET, and the other end of the wiring line 24A is electrically connected through the contact hole 21 with one of the source region and the drain region (the p^+ -type semiconductor regions 15) of the p-channel MISFET. The wiring line 24B is electrically connected through the contact hole 22 with the other (the p^+ -type semiconductor region 15) of the source region and the drain region of the p-channel MISFET.

[0028]

Next, as shown in Fig. 11, side wall spacers 26 are formed at the individual side walls of the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B. These side wall spacers 28 are formed by depositing a silicon nitride film having a thickness of about 100 nm at a filming temperature of about 360°C over the silicon oxide film 16 by a plasma CVD method, and by working the silicon nitride film by an anisotropic

etching method.

[0029]

Next, as shown in Fig. 12, contact holes 28 for exposing the plugs 23 in the contact holes 18 to the outside are formed over the contact holes 18, formed to expose the upper portion of one of the n-type semiconductor regions 11 (the source region and the drain region) of the memory cell selecting MISFET, by depositing a silicon oxide film 27 having a thickness of about 500 nm at a filming temperature of about 390°C over the bit lines BL₁ and BL₂ and the wiring lines 24A and 24B by a plasma CVD method, by polishing the silicon oxide film 27 by a chemical mechanical polishing (CMP) method to flatten its surface, and by etching the silicon oxide film 27 by using a photoresist as the mask. At this time, the silicon oxide film 25, formed over the bit line BL₁, and the side wall spacers 26 of silicon nitride, formed at the side walls, are slightly etched so that the contact holes 28 are formed in self-alignment with the side wall spacers 26.

[0030]

The insulating film to be deposited over the bit lines BL₁ and BL₂ and the wiring lines 24A and 24B should not be limited to the aforementioned silicon oxide film 27 but can be the aforementioned ozone-BPSG film or ozone-TEOS film, or an SOG (Spin On Glass) film. The ozone-BPSG film or ozone-TEOS film is flattened, if employed, on its surface

by a chemical mechanical polishing (CMP) method as for the silicon oxide film 27.

[0031]

Next, as shown in Fig. 13, W plugs 30 are buried in the contact holes 28, and storage electrodes (lower electrodes) 32 of information storing capacitive elements are formed over the contact holes 28. The W plugs 30 are formed by depositing a W film having a thickness of about 300 nm at a filming temperature of about 500°C over the silicon oxide film 27 by a CVD method, and by etching back the W film. The storage electrodes 32 are formed by depositing a W film having a thickness of about 500 nm at a filming temperature of about 475°C over the silicon oxide film 27 by a CVD method, and by patterning the W film by using a photoresist as the mask. The W film constituting the plugs 30 is deposited at a higher filming temperature (500°C) than that (475°C) of the W film constituting the storage electrodes 32, because it is required to retain the coverage of the inside of the contact holes 28.

[0032]

Next, as shown in Fig. 14, there are formed over the storage electrodes 32, a capacitor insulating film 33 and plate electrodes (upper electrodes) 34 of the information storing capacitive elements. The capacitor insulating film 33 and the plate electrodes 34 are simultaneously formed by

depositing a Ta_2O_5 film having a thickness of about 15 nm at a filming temperature of about 400 to 480°C over the storage electrodes 32 by a CVD method, by depositing a TiN film having a thickness of about 150 nm over the Ta_2O_5 film by a sputtering method, and by etching and patterning those films by using a photoresist as the mask. As a result, there is formed an information storing capacitive element C of the memory cell, which is composed of the storage electrode 32, the capacitor insulating film 33 and the plate electrode 34.

[0033]

Next, as shown in Fig. 15, a contact hole 36 is formed over the plate electrode 34 of the information storing capacitive element C by depositing a silicon oxide film 35 having a thickness of about 500 nm at a filming temperature of about 390°C over the information depositing capacitive element C by a plasma CVD method, and by etching the silicon oxide film 35 by using a photoresist as the mask. Simultaneously with this, a contact hole 37 is formed over the wiring line 24A of the peripheral circuit, and a contact hole 38 is formed over the wiring line 24B, by etching the silicon oxide film 35, the silicon oxide film 27 and the Silicon nitride film 25. The insulating film to be deposited over the information storing capacitive element C should not be limited to the aforementioned silicon oxide film 35 but can be a three-layered insulating film in which a

spin-on-glass film is sandwiched between the two silicon oxide films 35.

[0034]

Next, as shown in Fig. 16, wiring lines 39A, 39B, 39C and 39D are formed over the silicon oxide film 35. These wiring lines 39A, 39B, 39C and 39D are simultaneously formed by depositing a TiN film having a thickness of about 50 nm, an Al (aluminum) alloy film having a thickness of about 500 nm and a TiN film having a thickness of about 10 nm over the silicon oxide film 35 at a substrate temperature of 300 to 350°C by a sputtering method, and etching and patterning those films by using a photoresist as the mask. By the steps thus far described, the DRAM of the present embodiment is substantially completed.

[0035]

By the DRAM manufacturing process of the present embodiment, at the step after the individual source regions and drain regions of the memory cell selecting MISFET and the n-channel MISFET and the p-channel MISFET of the peripheral circuit have been formed, the wiring conductive film and the insulating film are deposited at a temperature of 500°C or lower, so that the diffusion of the impurity into the substrate by the high-temperature heat treatment can be suppressed to realize a shallow junction between the source regions and the drain regions thereby to enhance the high

performance of the DRAM.

[0036]

By the DRAM manufacturing process of the present embodiment, all the wiring conductive films are made of metal materials (W or Al) or the metal compound material (TiN) so that the wiring resistance which may rise because of the miniaturization, can be lowered to increase the speedup of the DRAM. The wiring conductive film should not be limited to the material employed in the present embodiment but can be made of Ti or copper (Cu), for example.

[0037]

(Embodiment 2)

In the foregoing Embodiment 1, the gate electrodes 8A of the memory cell selecting MISFET and the gate electrodes 8B of the n-channel MISFET and the gate electrodes 8C of the p-channel MISFET of the peripheral circuit are individually composed of the tungsten (W) film which is deposited at the filming temperature of about 475°C. In the present embodiment, however, the gate electrodes 8A (the word lines WL) and the gate electrodes 8B and 8C are composed of a multilayer film of a polycrystalline silicon film, a titanium nitride (TiN) film and a tungsten (W) film, as shown in Fig. 17.

[0038]

In this case, the polycrystalline silicon film having

a thickness of about 250 nm is deposited at first at a filming temperature of about 540°C by a CVD method, and the titanium nitride (TiN) having a thickness of about 50 nm for an adhesive layer between the polycrystalline silicon film and the tungsten (W) film is then deposited over the polycrystalline silicon film by a sputtering method. The polycrystalline silicon film is doped with an n-type impurity or phosphor (P) of about $1.5 \times 10^{20} \text{ cm}^{-3}$.

[0039]

Next, the gate electrodes 8A (the word lines WL) and the gate electrodes 8B and 8C are simultaneously formed by depositing a W film having a thickness of about 100 nm at a filming temperature of about 475°C over the TiN film by a CVD method, by depositing the silicon nitride film 9 having a thickness of about 250 nm at a filming temperature of about 360°C over the W film by a plasma CVD method, and by etching and patterning the silicon nitride film 9, the W film, the TiN film and the polycrystalline silicon film by using a photoresist as the mask. The other steps are identical to those of foregoing Embodiment 1, and a DRAM is completed by applying the steps after the step of forming the gate electrodes 8A, 8B and 8C.

[0040]

By the DRAM manufacturing process of the present embodiment, the wiring conductive film and the insulating

film are deposited at a temperature of 500°C or lower after the individual source regions and drain regions of the memory cell selecting MISFET and the n-channel MISFET and the p-channel MISFET of the peripheral circuit have been formed, so that the high performance of the DRAM can be enhanced.

[0041]

By the DRAM manufacturing process of the present embodiment, the high speed of the DRAM can be increased as in Embodiment 1 by making all the wiring conductive films of a material containing a metal material or a metal compound.

[0042]

(Embodiment 3)

In order to manufacture a DRAM of the present embodiment, as shown in Fig. 18, the surface of the semiconductor substrate 1 of p⁻-type single crystal silicon is thermally oxidized at first to form a thin silicon oxide film 43, and a silicon nitride film 44 is then deposited over the silicon oxide film 43 by a CVD method. The silicon nitride film 44 is etched by using a photoresist as the mask, and it is removed from the element isolating region.

[0043]

Next, as shown in Fig. 19, the semiconductor substrate 1 at the element isolating region is etched by using the silicon nitride film 44 as the mask to form shallow grooves

52 having a depth of about $0.35\ \mu\text{m}$, and a silicon oxide film 53 having a thickness of about 10 nm is then formed in the Shallow groove 52.

[0044]

Next, as shown in Fig. 20, a silicon oxide film 54 is buried in the shallow groove 52. In order to bury the silicon oxide film 54 in the shallow groove 52, the silicon oxide film 54 having a thickness of about 600 nm is deposited over the semiconductor substrate 1 by a CVD method and is then polished by a chemical-mechanical polishing (CMP) method. After this, the silicon nitride film 44, left over the semiconductor substrate 1, is etched off.

[0045]

Next, as shown in Fig. 21, a p-type well 3 is formed by doping the semiconductor substrate 1 with ions of a p-type impurity or boron (B) by using the (not-shown) photoresist for exposing the region for forming the memory array and the region for forming the n-channel MISFET of the peripheral circuit selectively to the outside, and the n-type well 4 is formed by doping the semiconductor substrate 1 with ions of an n-type impurity or phosphor (P) by using the (not-shown) photoresist exposing the region for forming the p-channel MISFET of the peripheral circuit selectively to the outside. For this doping, the peaks of the individual distributions of the n-type impurity and the p-type impurity

are substantially equalized to the depth of the shallow groove 52, so that the p-type or n-type semiconductor regions are formed in the semiconductor substrate at the bottom of the shallow groove 52. As a result, the p-type well 3 acts as a p-type channel stopper layer, and the n-type well 4 acts as an n-type channel stopper layer.

[0046]

Next, as shown in Fig. 22, the surfaces of the individual active regions of the p-type well 3 and the n-type well 4, enclosed by the shallow groove 52, are thermally oxidized at a temperature of about 800°C to form the gate oxide film 7 having a thickness of about 8 nm. The subsequent steps are identical to those of Embodiment 1.

[0047]

By the DRAM manufacturing process of the present embodiment, the p-type well 3 acts as the p-type channel stopper layer whereas the n-type well 4 acts as the n-type channel stopper layer. As a result, the ion implantation for forming the p-type channel stopper layer and the ion implantation for forming the n-type channel stopper layer can be eliminated to simplify the DRAM manufacturing process more than the process of Embodiment 1.

[0048]

By the DRAM manufacturing process of the present embodiment, the elements are isolated by the shallow groove

52, formed in the semiconductor substrate 1, so that the miniaturization of the DRAM can be promoted. Since the step between the element isolating region and the active region is eliminated, moreover, it is possible to prevent the drawback that the conductive film such as the gate electrode material, deposited over the semiconductor substrate 1, is thinned at the step portion.

[0049]

(Embodiment 4)

In order to manufacture the DRAM of the present embodiment, by the manufacture process of Embodiment 1, the contact holes 17 and 18 for exposing a portion of the semiconductor region 11 are formed by forming the memory cell selecting MISFET, and the n-channel MISFET and the p-channel MISFET of the peripheral circuit, by depositing the silicon oxide film 16 over those MISFETs, by polishing the silicon oxide film 16 by a chemical mechanical-polishing (CMP) method to flatten its surface, and by etching the silicon oxide film 16 and the gate oxide film 7 by using a photo-resist as the mask to form the contact holes 17 and 18 over the n-type semiconductor region 11 (the source region and the drain region) of the memory cell selecting MISFET.

[0050]

Next, as shown in Fig. 24, the plugs 29 of poly-crystalline silicon are buried in the contact holes.

These plugs 29 are formed by depositing the polycrystalline silicon film having a thickness of about 360 nm at a filming temperature of about 540°C over the silicon oxide film 16 by a CVD method, and by etching back the polycrystalline silicon film (while leaving the polycrystalline silicon film only in the contact holes 17 and 18). This polycrystalline silicon film is doped with an n-type impurity of phosphor (P).

[0051]

Next, as shown in Fig. 25, a titanium (Ti) silicide layer 31 is formed on the surfaces of plugs 29 of polycrystalline silicon. The titanium silicide layer 31 is formed by burying the polycrystalline silicon plugs 29 in the contact holes 17 and 18, by depositing, just after the burying step, a Ti film having a thickness of about 50 nm over the silicon oxide film 16 by a sputtering method, by annealing the Ti film and the polycrystalline silicon (the plugs 29) at a temperature of about 800°C to react, and by removing the Ti film, left unreacted over the silicon oxide film 16, by a wet etching.

[0052]

Next, as shown in Fig. 26, the contact holes 19 and 20 are formed over the n⁺-type semiconductor region 13 (the source region and the drain region) of the n-channel MISFET of the peripheral circuit, and the contact holes 21 and 22

are formed over the p⁺-type semiconductor region 15 (the source region and the drain region) of the p-channel MISFET, by depositing a silicon oxide film 45 having a thickness of about 50 nm at a filming temperature of about 360°C over the silicon oxide film 16 by a plasma CVD method, and by etching the silicon oxide film 45, the silicon oxide film 16 and the gate oxide film 7 by using as the mask a photoresist covering the memory cells and having openings over the semiconductor regions 13 of the n-channel MISFET and the semiconductor regions 15 of the p-channel MISFET of the peripheral circuit region.

[0053]

Next, as shown in Fig. 27, the plugs 23, composed of the multilayer film of TiN and W, are buried in the contact holes 19 to 22 of the peripheral circuit in accordance with the process of Embodiment 1. After this, the silicon-oxide film 45 of the contact holes 17, formed over one (located at the side for connecting the bit lines) of the n-type semiconductor regions 11 (the source region and the drain region) of the memory cell selecting MISFET, is removed to expose the surface of the titanium silicide layer 31, formed over the surfaces of the plugs 29, to the outside. After this, as shown in Fig. 28, the bit lines BL₁ and BL₂ and the wiring lines 24A and 24B of the peripheral circuit are formed over the silicon oxide film 45, and the side wall

Spacers 26 are then formed at the individual side walls of the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B.

[0054]

Next, as shown in Fig. 29, by the process of Embodiment 1, the contact holes 28 are formed in self-alignment with the side wall spacers 26 of the side walls of the bit lines BL_1 and BL_2 over the aforementioned contact holes 18, formed over one of the n-type semiconductor regions 11 (the source region and the drain region) of the memory cell selecting MISFET, by depositing the silicon oxide film 27 individually over the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B, by polishing and flattening the surface of the silicon oxide film 27 by a chemical-mechanical polishing (CMP) method, and by etching the silicon oxide film 27 by using a photoresist as the mask.

[0055]

Next, as shown in Fig. 30, foreign matters on the surface of the aforementioned Ti silicide layer 30, exposed at the bottoms of the contact holes 28, is removed by a sputter-etching method using argon (Ar), and the plugs 30 of polycrystalline silicon or W are buried in the contact holes 28. If, at this time, the Ti silicide film 31 is not formed on the surfaces of the polycrystalline silicon plugs 29, the contact resistance is increased between the surfaces of the plugs 29 (of polycrystalline silicon) are oxidized

at the time of burying the plugs 30 in the contact holes 28. If, at this time, the wet etching is executed to remove the oxide film from the surfaces of the plugs 29 (of polycrystalline silicon), the insulating film 27 in the bottoms and at the sides of the contact holes 28 are side-etched to cause the shape defect of the contact holes 28.

[0056]

By the DRAM manufacturing process of the present embodiment, the Ti silicide layer 31 is formed on the surfaces of the aforementioned polycrystalline silicon plugs 29, buried in the contact holes 18, is formed to reduce the oxidation of the surfaces of the plugs 29 (polycrystalline silicon) so that the oxide film can be removed not by an isotropic wet etching method but only by a dry etching method using Ar. As a result, there arises none of the aforementioned problems. In short, the contact resistance can be reduced without causing the shape defect of the contact holes 28.

[0057]

In order to prevent the oxidation of the surfaces of the plugs 29 (polycrystalline silicon), a metal film of Ti or the like may be selectively grown on the surfaces of the polycrystalline silicon plugs 29 immediately after the plugs 29 have been buried in the contact holes 17 and 18.

[0058]

Next, as shown in Fig. 31, by the process of Embodiment 1, the contact holes 36 are formed over the plate electrodes 34 of the information storing capacitive element C after forming the information storing capacitive element C over the contact holes 28, by depositing the silicon oxide film 35 over the information storing capacitive element C, and by etching the silicon oxide film 35 by using a photoresist as the mask. Simultaneously with this, by etching the silicon oxide film 35 and the silicon oxide film 27, the contact holes 37 are formed over the wiring lines 24A of the peripheral circuit, and the contact holes 38 are formed over the wiring lines 24B.

[0059]

Next, as shown in Fig. 32, plugs 55 of TiN are buried in the contact holes 35, 36 and 37. These TiN plugs 55 are formed by depositing the TiN film over the silicon oxide film 35 by using a sputtering method and a CVD method, and by etching back the TiN film.

[0060]

If the plugs 55 are composed of a multilayer film of TiN and W, the TiN film and the W film are deposited over the silicon oxide film 3-5 and are then etched back. In this case, the TiN and the W have different etching rates so that the surface of the W film, buried in the contact holes 36,

37 and 38, is excessively etched off if the TiN film over the silicon oxide film 35 is completely removed. This may cause breakage of AA wiring lines over the contact holes 36, 37 and 38 if the Al wiring lines are formed over the silicon oxide film 35. If the TiN film is not completely etched off but left over the silicon oxide film 35, on the other hand, separation may occur at the interface between the TiN film and the Al wiring lines when these wiring lines are formed thereover.

[0061]

By the DRAM manufacturing process of the present embodiment, the aforementioned drawbacks can be avoided by making the plug material to be buried in the contact holes 36, 37 and 38, of a single layer of TiN.

[0062]

Next, as shown in Fig. 33, the wiring lines 39A, 39B, 39C and 39D are formed over the silicon oxide film 35. Specifically, these wiring lines 39A, 39B, 39C and 39D are formed by depositing an Al alloy film having a thickness of about 500 run and a TiN film having a thickness of about 10 run over the silicon oxide film 35 by a sputtering method, and by etching and patterning those films by using a photoresist as the mask. After the steps thus far described, the DRAM of the present embodiment is substantially completed. It is needless to say that Embodiments 2 and 3

can be applied to the present embodiment.

[0063]

(Embodiment 5)

In the DRAM of the present embodiment, the conductive material (TiN) constituting the plate electrodes 34 of the information storing capacitive element C is used as the material for the wiring lines of the peripheral circuit, and the plate electrodes 34 and the wiring lines of the peripheral circuits are formed at the common step.

[0064]

For manufacturing this DRAM by the manufacture process of Embodiment 1, the capacitor insulating film 33 and the plate electrodes 34 of the information storing capacitive element C are formed simultaneously with wiring lines 56 and 57 of the peripheral circuit, by forming the storage electrodes 32 of the information storing capacitive element over the silicon oxide film 27, deposited over the bit lines BL_1 and BL_2 and the wiring lines 24A and 24B of the peripheral circuit, as shown in Fig. 34, and by patterning the Ta_2O_5 film and the TiN film deposited over the storage electrodes 32, as shown in Fig. 35.

[0065]

The wiring lines 56 and 57, formed of the multilayer film of the Ta_2O_5 film or the capacitor insulating film and the TiN film deposited over the former, cannot be connected

directly with the underlying wiring lines through the contact holes. In this case, if the TiN film is deposited after the Ta₂O₅ has been deposited and then etched off from the peripheral circuit, the direct connection with the underlying wiring lines can be made but increases the number of steps. Since the Ta[^] is partially etched off, moreover, the reliability of the capacitor insulating film may drop. Specifically, a photoresist film of a predetermined pattern is formed over the capacitor insulating film 33, and this capacitor insulating film 33 is etched. After this, the quality of the capacitor insulating film 33 is deteriorated by the ashing treatment with O[^] for removing the photoresist. In the present embodiment, therefore, the wiring lines 58 and 57 and the underlying wiring lines are connected by the following method.

[0066]

First of all, as shown in Fig. 36, the contact holes 36 are formed over the plate electrodes 34 of the information storing capacitive element C by depositing the silicon oxide film 35 over the information storing capacitive element C and the wiring lines 56 and 57, and by etching the silicon oxide film 35 by using a photoresist as the mask. Simultaneously with this, the contact holes 37 are formed over the wiring lines 24A of the peripheral circuit, and the contact hole 38 are formed over the wiring lines 24B,

by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25 in the regions having the wiring lines 56 and 57. At this time, one end of the wiring line 56 is exposed to the inside of the contact hole 37, and one end of the wiring line 57 is exposed to the inside of the contact hole 38.

[0067]

Next, as shown in Fig. 37, the TIN plugs 55 are buried in the contact holes 36, 37 and 38, and the wiring lines 39A, 39B, 39C and 39D are then formed over the silicon oxide film 35. As a result, the wiring line 56 is connected through the wiring line 39C with the underlying wiring line 24A, and the wiring line 57 is connected through the wiring line 39D with the underlying wiring line 24B.

[0068]

By the DRAM manufacturing process of the present embodiment, by using a common material for the plate electrode (TIN) of the information storing capacitive element C and the wiring of the peripheral circuit, the wiring layers of the peripheral circuit can be increased to improve the degree of freedom of the wiring design.

[0069]

By the DRAM manufacturing process of the present embodiment, the wiring layers of the peripheral circuit can be increased without any increase in the number of steps of

manufacturing the DRAM.

[0070]

(Embodiment 6)

In the DRAM manufacturing process of Embodiment 5, the contact hole 37 is formed over the wiring line 24A by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25 in the regions having the wiring lines 56 and 57 of the peripheral circuit, and the contact hole 38 is formed over the wiring line 24B, so that one end of the wiring line 56 is exposed to the inside of the contact hole 37 whereas one end of the wiring line 57 is exposed to the inside of the contact hole 38 (as shown in Fig. 36). If, at this time, the etching selection rate of the wiring material (TiN) to the insulating films (the silicon oxide film and the silicon nitride film) is small, the plate electrode 34 and the wiring lines 56 and 57 may be etched to reduce the film thickness. In the present embodiment, therefore, the wiring lines 56 and 57 and the underlying wiring lines are connected by the following method.

[0071]

First of all, as shown in Fig. 38, the capacitor insulating film 33 and the plate electrode 34 of the information storing capacitive element C are formed simultaneously with the wiring lines 56 and 57 of the peripheral circuit by patterning the Ta₂O₅ film, the TiN film

and a third film (a high selection ratio film 58), deposited over the storage electrodes 32. The high selection ratio film 58 may be either the insulating film or the conductive film if it is made of a material having a high etching selection ratio to the silicon oxide film or the silicon nitride film. A suitable film may be a tungsten (W) film.

[0072]

Next, as shown in Fig. 39, the contact holes 36 are formed over the plate electrode 34 of the information storing capacitive element C by etching the silicon oxide film 35, deposited over the information storing capacitive element C and the wiring lines 56 and 57, by using a photoresist as the mask. Simultaneously with this, the contact hole 37 is formed over the wiring line 24A of the peripheral circuit, and the contact hole 38 is formed over the wiring line 24B, by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25 in the regions having the wiring lines 56 and 57. Since, at this time, the plate electrode 34 and the wiring lines 56 and 57 are covered with the high selection ratio film 58, the etching of the plate electrode 34 and the wiring lines 56 and 57 does not increase the film thickness.

[0073]

Next, as shown in Fig. 40, one end of the wiring line 56 is exposed to the inside of the contact hole 37, and one

end of the wiring line is exposed to the inside of the contact hole 38 by etching the high selection ratio film 58 covering the plate electrode 34 and the wiring lines 56 and 57, at the final stage of the etching treatment. After this, the wiring lines 39A, 39B, 39C and 39D are formed over the silicon oxide film 35 in accordance with the process of Embodiment 5. Incidentally, this etching step is unnecessary if the high selection ratio film is made of tungsten.

[0074]

By the DRAM manufacturing process of the present embodiment, it is possible to reliably prevent the drawback that the plate electrode 34 and the wiring lines 56 and 57 are etched and thinned at the step of forming the contact holes (36, 37 and 38).

[0075]

The connection between the wiring lines 56 and 57 of the peripheral circuit and the underlying wiring lines may also be effected by the following method.

[0076]

First of all, as shown in Fig. 41, the capacitor insulating film 33 and the plate electrode 34 are formed simultaneously with the wiring lines 56 and 57 of the peripheral circuit by patterning the Ta_2O_5 film, the TIN film and the high selection ratio film 58, deposited over the storage electrodes 32.

[0077]

Next, as shown in Fig. 42, the contact hole 37 is formed over the wiring line 24A of the peripheral circuit, and the contact hole 38 is formed over the wiring line 24B, by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25, formed over the wiring lines 56 and 57, by using a photoresist 59 as the mask. At this time, the high selection ratio film 58 covering the wiring lines 56 and 57 acts as the etching stopper to prevent the wiring lines 56 and 57 from being etched and thinned.

[0078]

Next, as shown in Fig. 43, one end of the wiring line 56 is exposed inside the contact hole 37, and one end of the wiring line 57 is exposed inside the contact hole 38, by etching the high selection ratio film 58 covering the wiring lines 56 and 57, at the final etching stage.

[0079]

After this, as shown in Fig. 44, a wiring line 60 is formed over the contact hole 37, and a wiring line 61 is formed over the contact hole 38, by patterning the conductive film, deposited over the silicon oxide film 27. As a result, the wiring line 56 of the peripheral circuit is connected through the wiring line 60 to the underlying wiring line 24A, and the wiring line 57 is connected through the wiring line 61 to the underlying wiring line 24B.

[0080]

The wiring lines 56 and 57 of the peripheral circuit and the underlying wiring lines may be connected by the following method.

[0081]

First of all, as shown in Fig. 45, the capacitor insulating film 33 and the plate electrode 34 of the information storing capacitive element C are formed together with the wiring lines 56 and 67 of the peripheral circuit, by patterning the Ta₂O₅ film, the TiN film and the high selection ratio film 58, deposited over the storage electrodes 32. After this, the contact hole 36 is formed over the plate electrode 34 of the Information storing capacitive element C, and the contact hole 37 is formed over the wiring line 56, by etching the silicon oxide film 35, deposited over the information storing capacitive element C and the wiring lines 56 and 57, by using a photoresist as the mask. Simultaneously with this, the contact hole 38 is formed over the wiring line 24B of the peripheral circuit by etching the silicon oxide film 35, the silicon oxide film 27 and the silicon nitride film 25 in the region where the wiring line 57 is formed. At this time, the plate electrode 34 and the wiring lines 56 and 57 are covered with the high selection ratio film 58, so that they are prevented from being etched and thinned.

[0082]

Next, as shown in Fig. 46, one end of the wiring line 56 is exposed inside of the contact hole 37, and one end of the wiring line 57 is exposed inside the contact hole 38, by etching the high selection ratio film 58 covering the wiring lines 56 and 57, at the final etching state.

[0083]

Next, as shown in Fig. 47, the TiN plugs 55 are buried in the contact holes 35, 36 and 37, and the wiring lines 39A, 39B and 39C are then formed over the silicon oxide film 35. As a result, the wiring line 56 of the peripheral circuit is connected through the wiring line 39C and the wiring line 57 with the underlying wiring line 24B.

[0084]

(Embodiment 7)

The present embodiment is applied to a process for manufacturing a CMOS (Complementary Metal Oxide Semiconductor) FET.

[0085]

First of all, as shown in Fig. 48, the field oxide film 2 having a thickness of about 400 nm is formed over the surface of the semiconductor substrate 1. The field oxide film 2 is prepared by annealing the semiconductor substrate 1 at a temperature of about 1,000°C by using a silicon nitride film as the mask.

[0086]

Subsequently, the surface of the semiconductor substrate in the region to form the p-channel MISFET is covered with a photoresist 70, and the semiconductor substrate 1 in the region where the n-channel MISFET is formed is doped with ions of a p-type impurity (B) to form the p-type well 3.

[0087]

Next, the photoresist 70 is removed, and the semiconductor substrate is annealed to repair the crystal defects which are caused by ion implantation of p-type impurity and is doped all over its surface with ions of a p-type impurity (B) to form a channel region 72 of the n-channel MISFET. At this time, the semiconductor substrate 1 in the region where the p-channel MISFET is formed is also doped with the ions of p-type impurity.

[0088]

Next, as shown in Fig. 50, the region where the n-channel MISFET is formed, namely, the p-type well 3 is covered with a photoresist 71, and the semiconductor substrate 1 in the region where the p-channel MISFET is formed is doped twice with the n-type impurity (P) to form the n-type well 4. One of these two ion implantations is to improve the device characteristics and accordingly to introduce the impurity with a relatively low energy. The

other ion implantation is to isolate the elements and to reduce the well resistance and accordingly to introduce the impurity with a relatively high energy.

[0089]

Next, as shown in Fig. 51, the n-type well 4 is doped with ions of an n-type impurity (P) to form a channel region 73 of the p-channel MISFET and to compensate the p-type impurity, the ions of which have been introduced at the step of forming the channel region of the aforementioned n-channel MISFET.

[0090]

Incidentally, in the process described above, after the p-type well 3 has been formed, the photoresist 70 is removed, and the semiconductor substrate is then annealed to repair the crystal defects which have been caused by the ion implantation of the p-type impurity. Despite of this description, however, the p-type well 3 may be doped with ions of p-type impurity while omitting the annealing step to leave the photoresist 70, thereby to form the channel region 72 of the n-channel MISFET.

Moreover, a process, in which the insulating film is buried in the shallow groove of Embodiment 3, can be applied to the element isolating region.

[0091]

Next, after the photoresist 71 has been removed, the

gate oxide film 7 is formed by a thermal oxidizing method over the surfaces of the individual active regions of the p-type well 3 and the n-type well 4, as shown in Fig. 52. Next, the gate electrode 8B of the n-channel MISFET and the gate electrode 8C of the p-channel MISFET are formed over the gate oxide film 7.

[0092]

The subsequent steps follow the flowchart shown in Fig, 53. Specifically, the impurity activation for forming the source region and the drain region is executed at a temperature of about 900°C. Moreover, the treatment for producing Ti silicide or the like on the bottom of the contact hole so as to lower the contact resistance between the first layer wiring line and the source region or the drain region is executed at 800°C, and the subsequent depositions of the wiring conductive film and the insulating film are executed at 450°C or lower.

[0093]

The element isolating with the shallow groove is executed according to the flowchart, shown in Fig. 54, as in Embodiment 3. Specifically, the impurity activation for forming the source region and the drain region is executed at a temperature of about 900°C. Moreover, the treatment for forming Ti silicide or the like on the bottom of the contact hole so as to lower the contact resistance between

the first layer wiring line and the source region or the drain region is executed at 800°C, and the subsequent depositions of the wiring conductive film and the insulating film are executed at 450°C or lower.

[0094]

By the CMOSFET manufacturing process of the present embodiment, the formation of the p-type well and the channel region of the n-channel MISFET and the formation of the n-type well and the channel region of the p-channel MISFET can be made at the totally two photoresist steps thereby to reduce the steps of manufacturing the CMOS LSI.

[0095]

By the CMOSFET manufacturing process of the present embodiment, the upper limits of the temperatures for the heat treatments are made lower at the later steps so that the diffusion of the impurity into the substrate caused by the hot heat treatment can be suppressed to realize a shallower junction between the source region and the drain region thereby to promote the high performance of the CMOS LSI.

[0096]

(Embodiment 8)

In the CMOSFET manufacturing process of the present embodiment, as shown in Fig. 55, by the manufacture process of Embodiment 7, the gate electrode SB of the n-channel MISFET is formed at first over the gate oxide film 7 of the

p-type well 3, and the gate electrode 8C of the p-channel MISFET is then formed over the gate oxide film 7 of the n-type well 4.

[0097]

Next, as shown in Fig. 56, the surface of the n-type well 4 is covered with a photoresist 74, and the p-type well 3 is doped with ions of P and As. At this time, the ions of P is introduced more deeply and in a less dosage than the ions of As. Alternatively, the ions of P may be obliquely introduced.

[0098]

Next, after the photoresist 74 has been removed, as shown in Fig. 57, the surface of the p-type well 3 is covered with a photoresist 75, and the n-type well 4 is doped with ions of B.

[0099]

Next, after the photoresist 75 has been removed, as shown in Fig. 58, an annealing treatment for impurity activation is executed to form the source region and drain region of the n-channel MISFET and the source region and drain region of the p-channel MISFET. The source region and drain region of the n-channel MISFET is constructed of a double diffused drain structure, in which the periphery and bottom portion of an n^+ -type semiconductor region 76, heavily doped with diffused As are surrounded by an n^- -type

semiconductor region 77 lightly doped with diffused P, and the source region and drain region of the p-channel MISFET are constructed of a single diffused drain structure which has a p-type semiconductor region 78.

[0100]

By the CMOSFET manufacturing process of the present embodiment, the source region and drain region of the n-channel MISFET, constructed of the double diffused drain, and the source region and drain region of the p-channel MISFET, constructed of the single diffused drain structure, can be formed by totally three ion implantations to simplify the CMOS LSI manufacturing process. Moreover, the source region and drain region of the n-channel MISFET is constructed of the double diffused drain structure so that the high electric field of the end portion of the drain region can be relaxed. As a result, it is possible to suppress the hot electron effect of the n-channel MISFET which raises a problem if the gate length is miniaturized.

[0101]

Although our invention has been specifically described taking the cases of Embodiments, it should not be limited thereto but can naturally be modified in various manners without departing from the gist thereof.

[0102]

[Effects of the Invention]

The effects to be obtained by representatives of the aspect of the invention disclosed herein will be briefly described in the following.

[0103]

By the manufacture process of the present invention, at the step after the MISFET has been formed, all the conductive films are deposited at a temperature of 500°C or lower over the semiconductor substrate so that the number of heat treatment steps can be reduced to form a MISFET of shallow junction.

[0104]

By the manufacture process of the present invention, at the step after the MISFET has been formed, all the insulating films are deposited at a temperature of 500°C or lower over the semiconductor substrate so that the number of heat treatment steps can be reduced to form a MISFET of shallow junction.

[0105]

By the manufacture process of the present invention, all the conductive films are made of a metal or its compound so that the wiring resistance can be reduced.

[0106]

By the manufacture process of the present invention, it is possible to simplify the process for manufacturing the semiconductor integrated circuit device having MISFETs.

[Brief Description of the Drawings]

Fig. 1 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 2 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 3 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 4 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 5 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 6 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 7 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 8 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 9 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 10 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 11 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 12 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 13 is a section of an essential portion of a

semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 14 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 15 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 16 is a section of an essential portion of a semiconductor substrate and shows a process for manufacturing a semiconductor integrated circuit device of Embodiment 1 of the present invention;

Fig. 17 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 2 of the present invention;

Fig. 18 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 19 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing

a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 20 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 21 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 22 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 3 of the present invention;

Fig. 23 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 24 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 25 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4

of the present invention;

Fig. 26 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 27 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 28 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 29 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 30 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 31 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 32 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 33 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 4 of the present invention;

Fig. 34 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 5 of the present invention;

Fig. 35 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 5 of the present invention;

Fig. 36 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 5 of the present invention;

Fig. 37 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 5 of the present invention;

Fig. 38 is a section of an essential portion of a

semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 39 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 40 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 41 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 42 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 43 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 44 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing

a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 45 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 46 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 47 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 6 of the present invention;

Fig. 48 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7 of the present invention;

Fig. 49 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7 of the present invention;

Fig. 50 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7

of the present invention;

Fig. 51 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7 of the present invention;

Fig. 52 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 7 of the present invention;

Fig. 53 is a flow chart showing the semiconductor integrated circuit device manufacturing process of Embodiment 7 of the present invention;

Fig. 54 is a flow chart showing the semiconductor integrated circuit device manufacturing process of Embodiment 7 of the present invention;

Fig. 55 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 8 of the present invention;

Fig. 56 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 8 of the present invention;

Fig. 57 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing

a semiconductor integrated circuit device of Embodiment 8 of the present invention; and

Fig. 58 is a section of an essential portion of a semiconductor substrate and show a process for manufacturing a semiconductor integrated circuit device of Embodiment 8 of the present invention.

[Explanation of Reference Numerals]

- 1 semiconductor substrate
- 2 field oxide film
- 3 p-type well
- 4 n-type well
- 5 p-type channel stopper layer
- 6 n-type channel stopper layer
- 7 gate oxide film
- 8A, 8B, 8C gate electrode
- 9 silicon nitride film
- 10 side wall spacer
- 11 n-type semiconductor region
- 12 n⁻-type semiconductor region
- 13 n⁺-type semiconductor region
- 14 p⁻-type semiconductor region
- 15 p⁺-type semiconductor region
- 16 silicon oxide film
- 17 contact hole
- 18 contact hole

19 contact hole
20 contact hole
21 contact hole
22 contact hole
23 plug
24A, 24B wiring line
25 silicon nitride film
26 side wall spacer
27 silicon oxide film
28 contact hole
29 plug
30 plug
31 Ti silicide layer
32 storage electrodes (lower electrodes)
33 capacitor insulating film
34 plate electrodes (upper electrodes)
35 silicon oxide film
36 contact hole
37 contact hole
38 contact hole
39A, 39B, 39C, 39D wiring line
43 silicon oxide film
44 silicon oxide film
45 silicon oxide film
50 silicon oxide film

51 silicon oxide film
52 shallow groove
53 silicon oxide film
54 silicon oxide film
55 plug
56 wiring line
57 wiring line
58 high selection ratio film
59 photoresist
60 wiring line
61 wiring line
70 photoresist
71 photoresist
72 channel region
73 channel region
74 photoresist
75 photoresist
76 n⁺-type semiconductor region
77 n⁻-type semiconductor region
78 p-type semiconductor region
C information storing capacitive element
BL1, BL2 bit line
WL word line

[Document's Name] ABSTRACT OF THE DISCLOSURE

[Abstract]

[Problem] To reduce the number of heat treatment steps in a process for manufacturing a semiconductor integrated circuit device having a MISFET

[Solving Means] All conductive films to be deposited on the semiconductor substrate are deposited at a temperature of 500°C or lower at a step after the MISFET has been formed. Moreover, all insulating films to be deposited over the semiconductor substrate are deposited at a temperature of 500°C or lower at a step after the MISFET has been formed.

[Selected Drawing] Fig. 53

【書類名】 特許願
【整理番号】 H96008961
【提出日】 平成 8 年 5 月 31 日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/10
【発明の名称】 半導体集積回路装置の製造方法
【請求項の数】 9
【発明者】
 【住所又は居所】 東京都青梅市今井 2 3 2 6 番地 株式会社日立製作所デ
 バイス開発センタ内
 【氏名】 吉田 誠
【発明者】
 【住所又は居所】 東京都青梅市今井 2 3 2 6 番地 株式会社日立製作所デ
 バイス開発センタ内
 【氏名】 熊内 隆宏
【発明者】
 【住所又は居所】 東京都青梅市今井 2 3 2 6 番地 株式会社日立製作所デ
 バイス開発センタ内
 【氏名】 只木 ▲芳▼▲隆▼
【発明者】
 【住所又は居所】 東京都青梅市今井 2 3 2 6 番地 株式会社日立製作所デ
 バイス開発センタ内
 【氏名】 梶谷 一彦
【発明者】
 【住所又は居所】 東京都青梅市今井 2 3 2 6 番地 株式会社日立製作所デ
 バイス開発センタ内
 【氏名】 青木 英雄
【発明者】
 【住所又は居所】 東京都青梅市今井 2 3 2 6 番地 株式会社日立製作所デ
 バイス開発センタ内
 【氏名】 浅野 勇
【特許出願人】
 【識別番号】 000005108
 【氏名又は名称】 株式会社日立製作所
 【代表者】 金井 務
【代理人】

【識別番号】 100080001
【弁理士】
【氏名又は名称】 筒井 大和
【電話番号】 03-3366-0787
【手数料の表示】
【予納台帳番号】 006909
【納付金額】 21,000 円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9003105
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 MISFET を有する半導体集積回路装置の製造方法であって、MISFET を形成した後の工程で半導体基板上に堆積するすべての導電膜を 500℃以下の温度で堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記導電膜は、メタルまたはメタル化合物からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 2 記載の半導体集積回路装置の製造方法であって、前記メタルは、タングステン、アルミニウム、チタンまたは銅であり、前記メタル化合物は、チタンナイトライドであることを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 MISFET を有する半導体集積回路装置の製造方法であって、MISFET を形成した後の工程で半導体基板上に堆積するすべての絶縁膜を 500℃以下の温度で堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項 4 記載の半導体集積回路装置の製造方法であって、前記絶縁膜は、プラズマ CVD 法で堆積した酸化シリコン膜またはプラズマ CVD 法で堆積した窒化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 請求項 4 記載の半導体集積回路装置の製造方法であって、前記絶縁膜の表面を化学的機械研磨法で平坦化することを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 MISFET を有する半導体集積回路装置の製造方法であって、半導体基板上に素子分離領域を形成した後、前記半導体基板上の活性領域に MISFET を形成する第 1 工程と、前記 MISFET の上部に絶縁膜と導電膜とを堆積して配線を形成する第 2 工程とを有し、前記第 2 工程における熱処理温度の上限を前記第 1 工程における熱処理温度の上限よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 7 記載の半導体集積回路装置の製造方法であって、前記第 2 工程における熱処理温度を、工程を経るに従って下げること特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記半導体集積回路装置は、メモリセル選択用 MISFET の上部にビット線を配

置し、前記ビット線の上に情報蓄積用容量素子を配置したメモリセルを備えたDRAMを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、MISFET (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置の製造に適用して有効な技術に関するものである。

【0002】

【従来の技術】

近年の大容量DRAMに代表されるLSIは、高集積化、高速化、高機能化が進むにつれて、それを実現するための製造プロセスが複雑化していることから、工程数の増加によるコスト増が深刻な問題となっている。またこれに伴い、半導体基板上に絶縁膜や導電膜を700～900℃の温度で堆積する回数も増え、浅接合の実現によるMISFETの高性能化を達成することが困難になっている。さらに、微細化に伴う配線抵抗の増大も高速化の障害となっている。

【0003】

【発明が解決しようとする課題】

本発明の目的は、MISFETを有する半導体集積回路装置の製造プロセスにおける熱処理工程を低減することのできる技術を提供することにある。

【0004】

本発明の他の目的は、MISFETを有する半導体集積回路装置の製造プロセスを簡略化することのできる技術を提供することにある。

【0005】

本発明の他の目的は、MISFETを有する半導体集積回路装置の配線抵抗を低減することのできる技術を提供することにある。

【0006】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0008】

(1) 本発明の半導体集積回路装置の製造方法は、MISFETを形成した後の工程で半導体基板上に堆積するすべての導電膜を500℃以下の温度で堆積する

ようにしたものである。

【0009】

(2) 本発明の半導体集積回路装置の製造方法は、半導体基板上に堆積するすべての導電膜をメタルまたはメタル化合物で構成するようにしたものである。

【0010】

(3) 本発明の半導体集積回路装置の製造方法は、MISFETを形成した後の工程で半導体基板上に堆積するすべての絶縁膜を500℃以下の温度で堆積するようにしたものである。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0012】

(実施の形態1)

本実施の形態は、メモリセル選択用MISFETの上部に情報蓄積用容量素子(キャパシタ)を配置するスタックド・キャパシタ(stacked capacitor)構造のメモリセルを備えたDRAMの製造方法に適用したものである。

【0013】

このDRAMを製造するには、まず図1に示すように、比抵抗 $10\Omega\cdot\text{cm}$ 程度の p^- 型単結晶シリコンからなる半導体基板1を用意し、その表面を酸化して薄い酸化シリコン膜43を形成した後、CVD法を用いて酸化シリコン膜43上に窒化シリコン膜44を堆積し、フォトリソistをマスクにしてこの窒化シリコン膜44をエッチングすることにより、素子分離領域の窒化シリコン膜44を除去する。

【0014】

次に、図2に示すように、窒化シリコン膜44をマスクにして半導体基板1を1000℃程度の温度でアニールすることにより、膜厚400nm程度のフィールド酸化膜2を形成する。

【0015】

次に、窒化シリコン膜44を除去した後、図3に示すように、メモリアレイを形成する領域と周辺回路の n チャネル型MISFETを形成する領域の半導体基板1に p 型不純物(ホウ素(B))をイオン注入して p 型ウエル3を形成する。また、周辺回路の p チャネル型MISFETを形成する領域の半導体基板1に n 型不純物(リン(P))をイオン注入して n 型ウエル4を形成する。続いて、 p 型ウエル3に p 型不純物(B)をイオン注入して p 型チャネルストッパ層5を形

成し、 n 型ウエル4に n 型不純物(P)をイオン注入して n 型チャネルストッパ層6を形成する。その後、フィールド酸化膜2で囲まれた p 型ウエル3、 n 型ウエル4のそれぞれの活性領域の表面を 800°C 程度の温度で熱酸化して膜厚 8nm 程度のゲート酸化膜7を形成する。

【0016】

次に、図4に示すように、メモリセル選択用MISFETのゲート電極8A（ワード線WL）、周辺回路の n チャネル型MISFETのゲート電極8Bおよび p チャネル型MISFETのゲート電極8Cを形成する。ゲート電極8A（ワード線WL）とゲート電極8B、8Cは、CVD法を用いて半導体基板1上に膜厚 150nm 程度のタングステン(W)膜を 475°C 程度の成膜温度で堆積し、続いてこのW膜上にプラズマCVD法を用いて膜厚 250nm 程度の窒化シリコン膜9を 360°C 程度の成膜温度で堆積した後、フォトリジストをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。

【0017】

次に、図5に示すように、 p 型ウエル3に n 型不純物(P)をイオン注入し、 n 型ウエル4に p 型不純物(B)をイオン注入する。後の工程で行うアニールにより、この n 型不純物(P)でメモリセル選択用MISFETの n 型半導体領域11（ソース領域、ドレイン領域）と周辺回路の n チャネル型MISFETの n 型半導体領域12とが形成され、 p 型不純物(B)で周辺回路の p チャネル型MISFETの p 型半導体領域14が形成される。

【0018】

次に、図6に示すように、ゲート電極8A（ワード線WL）とゲート電極8B、8Cのそれぞれの側壁にサイドウォールスペーサ10を形成した後、周辺回路の p 型ウエル3に n 型不純物(P)をイオン注入し、 n 型ウエル4に p 型不純物(B)をイオン注入する。サイドウォールスペーサ10は、プラズマCVD法を用いて半導体基板1上に膜厚 100nm 程度の窒化シリコン膜を 360°C 程度の成膜温度で堆積した後、この窒化シリコン膜を異方性エッチングで加工して形成する。

【0019】

次に、図7に示すように、半導体基板1を 900°C 程度の窒素雰囲気中でアニールして前記 n 型不純物(P)と p 型不純物とを拡散させることにより、メモリセル選択用MISFETの n 型半導体領域11（ソース領域、ドレイン領域）と、周辺回路の n チャネル型MISFETの n 型半導体領域12および n 型半導体領域13と、 p チャネル型MISFETの p 型半導体領域14および p 型半導体領域15とを形成する。周辺回路の n チャネル型MISFETのソース領域、ドレイン領域のそれぞれは、 n 型半導体領域12と n 型半導体領域1

3とからなるLDD (Lightly Doped Drain) 構造で構成され、pチャネル型MISFETのソース領域、ドレイン領域のそれぞれは、 p^- 型半導体領域14と p^+ 型半導体領域15とからなるLDD構造で構成される。

【0020】

次に、図8に示すように、メモリセル選択用MISFET、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETのそれぞれの上部にプラズマCVD法を用いて膜厚500nm程度の酸化シリコン膜16を390℃程度の成膜温度で堆積し、続いてこの酸化シリコン膜16を化学的機械研磨(Cheical Mechanical Polishing; CMP)法で研磨してその表面を平坦化した後、フォトリジストをマスクにして酸化シリコン膜16およびゲート酸化膜7をエッチングすることにより、メモリセル選択用MISFETのn型半導体領域11(ソース領域、ドレイン領域)の上部に接続孔17、18を形成し、周辺回路のnチャネル型MISFETの n^+ 型半導体領域13(ソース領域、ドレイン領域)の上部に接続孔19、20を形成し、pチャネル型MISFETの p^+ 型半導体領域15(ソース領域、ドレイン領域)の上部に接続孔21、22を形成する。

【0021】

このとき、メモリセル選択用MISFETのゲート電極8A(ワード線WL)の上部に形成された窒化シリコン膜9と側壁に形成された窒化シリコンのサイドウォールスペーサ10は、僅かにエッチングされるだけなので、接続孔17、18が自己整合(セルフアライン)で形成される。同様に、周辺回路のnチャネル型MISFETのゲート電極8B、pチャネル型MISFETのゲート電極8Cのそれぞれの上部に形成された窒化シリコン膜9と側壁に形成された窒化シリコンのサイドウォールスペーサ10は、僅かにエッチングされるだけなので、接続孔19~22が自己整合(セルフアライン)で形成される。

【0022】

メモリセル選択用MISFET、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの上部に堆積する絶縁膜としては、上記酸化シリコン膜16の他にも、例えばCVD法を用いて450℃程度の成膜温度で堆積したオゾン(O_3)-BPSSG(Boron-doped Phospho Silicate Glass)膜や、CVD法を用いて400℃程度の成膜温度で堆積したオゾン-TEOS(Tetra Ethoxy Silane)などを使用することができる。これらの絶縁膜は、酸化シリコン膜16と同じく、化学的機械研磨(CMP)法でその表面を平坦化する。

【0023】

次に、図9に示すように、接続孔17~22の内部にチタンナイトライド(TiN)とWの積層膜で構成されたプラグ23を埋め込む。このプラグ23は、酸化シリコン膜16の上部に基板とW膜との接着層となる膜厚50nm程度のTiN

膜をスパッタリング法を用いて堆積し、続いてCVD法を用いてこのTiN膜の上部に膜厚300nm程度のW膜を475℃程度の成膜温度で堆積した後、このW膜とTiN膜とをエッチバックして形成する。

【0024】

このとき、プラグ23と基板のコンタクト抵抗を低減するために、接続孔17～22の底部にTiシリサイド(TiSi₂)層を形成してもよい。Tiシリサイド層は、スパッタリング法を用いて酸化シリコン膜16の上部に膜厚50nm程度のTi膜を堆積し、800℃程度のアニールでこのTi膜と接続孔17～22の底部の基板とを反応させた後、酸化シリコン膜16上に残った未反応のTi膜をウェットエッチングで除去して形成する。その後、酸化シリコン膜16の上部に堆積したTiN膜とW膜とをエッチバックしてプラグ23を形成する。

【0025】

次に、図10に示すように、酸化シリコン膜16の上部にビット線BL₁、BL₂と周辺回路の配線24A、24Bとを形成する。ビット線BL₁、BL₂と配線24A、24Bは、プラズマCVD法を用いて酸化シリコン膜16の上部に膜厚300nm程度のW膜を475℃程度の成膜温度で堆積し、続いてこのW膜の上部にCVD法を用いて膜厚200nm程度の窒化シリコン膜25を360℃程度の成膜温度で堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。

【0026】

ビット線BL₁は、前記接続孔17を通じてメモリセル選択用MISFETのソース領域、ドレイン領域の一方(n型半導体領域11)と電気的に接続される。またビット線BL₂は、前記接続孔19を通じて周辺回路のnチャネル型MISFETQ_nのソース領域、ドレイン領域の一方(n⁺型半導体領域13)と電気的に接続される。

【0027】

周辺回路の配線24Aの一端は、接続孔20を通じてnチャネル型MISFETのソース領域、ドレイン領域の他方(n⁺型半導体領域13)と電気的に接続され、他端は接続孔21を通じてpチャネル型MISFETのソース領域、ドレイン領域の一方(p⁺型半導体領域15)と電気的に接続される。また配線24Bは、接続孔22を通じてpチャネル型MISFETのソース領域、ドレイン領域の他方(p⁺型半導体領域15)と電気的に接続される。

【0028】

次に、図11に示すように、ビット線BL₁、BL₂と配線24A、24Bのそれぞれの側壁にサイドウォールスペーサ26を形成する。サイドウォールスペーサ26は、プラズマCVD法を用いて酸化シリコン膜16の上部に膜厚100nm

程度の窒化シリコン膜を360℃程度の成膜温度で堆積した後、この窒化シリコン膜を異方性エッチングで加工して形成する。

【0029】

次に、図12に示すように、ビット線 BL_1 、 BL_2 と配線24A、24Bのそれぞれの上にプラズマCVD法を用いて膜厚500nm程度の酸化シリコン膜27を390℃程度の成膜温度で堆積し、続いてこの酸化シリコン膜27を化学的機械研磨(CMP)法で研磨してその表面を平坦化した後、フォトリソをマスクにして酸化シリコン膜27をエッチングすることにより、メモリセル選択用MISFETのn型半導体領域11(ソース領域、ドレイン領域)の一方の上部に形成された前記接続孔18の上部に接続孔28を形成する。このとき、ビット線 BL_1 の上部に形成された窒化シリコン膜25と側壁に形成された窒化シリコンのサイドウォールスペーサ26は、僅かにエッチングされるだけなので、接続孔28が自己整合(セルフアライン)で形成される。

【0030】

ビット線 BL_1 、 BL_2 および配線24A、24Bの上部に堆積する絶縁膜としては、上記酸化シリコン膜27の他にも、例えば前記のオゾン-BPSG膜やオゾン-TEOS膜、あるいはスピノングラス(Spin On Glass; SOG)膜などを使用することができる。オゾン-BPSG膜やオゾン-TEOS膜を使用した場合は、酸化シリコン膜27と同じく化学的機械研磨(CMP)法でその表面を平坦化する。

【0031】

次に、図13に示すように、接続孔28の内部にWのプラグ30を埋め込んだ後、接続孔28の上部に情報蓄積用容量素子の蓄積電極(下部電極)32を形成する。Wのプラグ30は、CVD法を用いて酸化シリコン膜27の上部に膜厚300nm程度のW膜を500℃程度の成膜温度で堆積した後、このW膜をエッチバックして形成する。蓄積電極32は、CVD法を用いて酸化シリコン膜27の上部に膜厚500nm程度のW膜を475℃程度の成膜温度で堆積した後、フォトリソをマスクにしたエッチングでこのW膜をパターンニングして形成する。プラグ30を構成するW膜は、接続孔28の内部のカバレッジを確保するためがあるので、蓄積電極32を構成するW膜の成膜温度(475℃)よりも高い成膜温度(500℃)で堆積する。

【0032】

次に、図14に示すように、蓄積電極32の上部に情報蓄積用容量素子の容量絶縁膜33とプレート電極(上部電極)34とを形成する。容量絶縁膜33とプレート電極34は、CVD法を用いて蓄積電極32の上部に膜厚15nm程度の Ta_2O_5 膜を400~480℃程度の成膜温度で堆積した後、 Ta_2O_5 膜の上

部にスパッタリング法で膜厚 150nm 程度の TiN 膜を堆積し、フォトリソグラフィをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。これにより、蓄積電極 32 と容量絶縁膜 33 とプレート電極 34 とで構成されたメモリセルの情報蓄積用容量素子 C が形成される。

【0033】

次に、図 15 に示すように、プラズマ CVD 法を用いて情報蓄積用容量素子 C の上部に膜厚 500nm 程度の酸化シリコン膜 35 を 390℃ 程度の成膜温度で堆積した後、フォトリソグラフィをマスクにして酸化シリコン膜 35 をエッチングすることにより、情報蓄積用容量素子 C のプレート電極 34 の上部に接続孔 36 を形成する。また同時に、酸化シリコン膜 35、酸化シリコン膜 27 および窒化シリコン膜 25 をエッチングすることにより、周辺回路の配線 24A の上部に接続孔 37 を形成し、配線 24B の上部に接続孔 38 を形成する。情報蓄積用容量素子 C の上部に堆積する絶縁膜としては、上記酸化シリコン膜 35 の他にも、例えば 2 層の酸化シリコン膜 35 の間にスピノングラス膜を介在させた 3 層の絶縁膜などを使用することができる。

【0034】

次に、図 16 に示すように、酸化シリコン膜 37 の上部に配線 39A、39B、39C を形成する。配線 39A、39B、39C は、酸化シリコン膜 35 の上部にスパッタリング法で膜厚 50nm 程度の TiN 膜、膜厚 500nm 程度の Al（アルミニウム）合金膜および膜厚 10nm 程度の TiN 膜を堆積した後、フォトリソグラフィをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。以上の工程により、本実施の形態の DRAM が略完成する。

【0035】

本実施の形態の DRAM の製造方法によれば、メモリセル選択用 MISFET、周辺回路の n チャンネル型 MISFET および p チャンネル型 MISFET のそれぞれのソース領域、ドレイン領域を形成した後の工程で、配線用導電膜および絶縁膜を 500℃ 以下の温度で堆積することにより、高温熱処理による不純物の基板内への拡散が抑制され、ソース領域、ドレイン領域の浅接合化が実現できるので、DRAM の高性能化を推進することができる。

【0036】

本実施の形態の DRAM の製造方法によれば、すべての配線用導電膜を金属材料（W、Al）または金属材料化合物材料（TiN）で構成することにより、微細化に伴う配線抵抗を低減することができるので、DRAM の高速化を推進することができる。配線用導電膜としては、本実施の形態で用いたもの以外にも、例えば Ti、銅（Cu）などを使用することができる。

【0037】

(実施の形態2)

前記実施の形態1では、メモリセル選択用MISFETのゲート電極8A（ワード線WL）、周辺回路のnチャネル型MISFETのゲート電極8Bおよびpチャネル型MISFETのゲート電極8Cのそれぞれを475℃程度の成膜温度で堆積したW膜で構成したが、本実施の形態では、図17に示すように、ゲート電極8A（ワード線WL）およびゲート電極8B、8Cを多結晶シリコン膜とTiN膜とW膜の積層膜で構成する。

【0038】

この場合は、まずCVD法を用いて膜厚250nm程度の多結晶シリコン膜を540℃程度の成膜温度で堆積した後、多結晶シリコン膜の上部に多結晶シリコン膜とW膜との接着層となる膜厚50nm程度のTiN膜をスパッタリング法で堆積する。多結晶シリコン膜には $1.5 \times 10^{20} \text{cm}^{-3}$ 程度のn型不純物（P）を添加する。

【0039】

次に、TiN膜の上部にCVD法を用いて膜厚100nm程度のW膜を475℃程度の成膜温度で堆積し、続いてW膜の上部にプラズマCVD法を用いて膜厚250nm程度の窒化シリコン膜9を360℃程度の成膜温度で堆積した後、フォトリジストをマスクにしたエッチングで窒化シリコン膜9、W膜、TiN膜および多結晶シリコン膜をパターンニングし、ゲート電極8A（ワード線WL）およびゲート電極8B、8Cを同時に形成する。それ以外の工程は、前記実施の形態1と同じである。

【0040】

本実施の形態のDRAMの製造方法によれば、メモリセル選択用MISFET、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETのそれぞれのソース領域、ドレイン領域を形成した後の工程で、配線用導電膜および絶縁膜を500℃以下の温度で堆積することにより、DRAMの高性能化を推進することができる。

【0041】

本実施の形態のDRAMの製造方法によれば、すべての配線用導電膜を金属材料または金属材料化合物材料を含んだ材料で構成することにより、前記実施の形態1と同様、DRAMの高速化を推進することができる。

【0042】

(実施の形態3)

本実施の形態のDRAMを製造するには、まず図18に示すように、p⁻型の単結晶シリコンからなる半導体基板1の表面を熱酸化して薄い酸化シリコン膜43を形成した後、CVD法を用いて酸化シリコン膜43上に窒化シリコン膜44

を堆積し、フォトリソをマスクにして窒化シリコン膜 4 4 をエッチングすることにより、素子分離領域の窒化シリコン膜 4 4 を除去する。

【0043】

次に、図 19 に示すように、窒化シリコン膜 4 4 をマスクにして素子分離領域の半導体基板 1 をエッチングすることにより、深さ $0.35\mu\text{m}$ 程度の浅溝 5 2 を形成し、次いでこの浅溝 5 2 の内部に熱酸化法で膜厚 $10\mu\text{m}$ 程度の酸化シリコン膜 5 3 を形成する。

【0044】

次に、図 20 に示すように、浅溝 5 2 の内部に酸化シリコン膜 5 4 を埋め込む。浅溝 5 2 の内部に酸化シリコン膜 5 4 を埋め込むには、CVD 法を用いて半導体基板 1 上に膜厚 600nm 程度の酸化シリコン膜 5 4 を堆積した後、化学的機械研磨 (CMP) 法でこの酸化シリコン膜 5 4 を研磨する。その後、半導体基板 1 上に残った窒化シリコン膜 4 4 をエッチングで除去する。

【0045】

次に、図 21 に示すように、メモリアレイを形成する領域と周辺回路の n チャネル型 MISFET を形成する領域の半導体基板 1 に p 型不純物 (B) をイオン注入して p 型ウエル 3 を形成し、周辺回路の p チャネル型 MISFET を形成する領域の半導体基板 1 に n 型不純物 (P) をイオン注入して n 型ウエル 4 を形成する。このとき、n 型不純物、p 型不純物のそれぞれの分布のピークが浅溝 5 2 の深さとほぼ一致するようにイオン注入を行うことにより、p 型ウエル 3 を p 型チャネルストッパ層と兼用させ、n 型ウエル 4 を n 型チャネルストッパ層と兼用させる。

【0046】

次に、図 22 に示すように、浅溝 5 2 で囲まれた p 型ウエル 3、n 型ウエル 4 のそれぞれの活性領域の表面を 800°C 程度の温度で熱酸化して膜厚 8nm 程度のゲート酸化膜 7 を形成する。これ以後の工程は、前記実施の形態 1 と同じである。

【0047】

本実施の形態の DRAM の製造方法によれば、p 型ウエル 3 を p 型チャネルストッパ層と兼用させ、n 型ウエル 4 を n 型チャネルストッパ層と兼用させることにより、p 型チャネルストッパ層を形成するためのイオン注入と n 型ウエル 4 を形成するためのイオン注入とが不要となるので、前記実施の形態 1 の製造方法と比べて DRAM の製造工程を簡略化することができる。

【0048】

本実施の形態の DRAM の製造方法によれば、半導体基板 1 に形成した浅溝 5 2 で素子分離を行うことにより、DRAM の微細化を促進することができる。ま

た、素子分離領域と活性領域との間の段差がなくなるため、半導体基板 1 上に堆積したゲート電極材料などの導電膜の膜厚が段差部で薄くなったりする不具合を防止することができる。

【0049】

(実施の形態 4)

本実施の形態の DRAM を製造するには、まず前記実施の形態 1 の製造方法に従って、メモリセル選択用 MISFET、周辺回路の n チャネル型 MISFET および p チャネル型 MISFET を形成した後、それらの上部に酸化シリコン膜 16 を堆積し、続いてこの酸化シリコン膜 16 を化学的機械研磨 (CMP) 法で研磨してその表面を平坦化した後、図 23 に示すように、フォトレジストをマスクにして酸化シリコン膜 16 およびゲート酸化膜 7 をエッチングすることにより、メモリセル選択用 MISFET の n 型半導体領域 11 (ソース領域、ドレイン領域) の上部に接続孔 17、18 を形成する。

【0050】

次に、図 24 に示すように、接続孔 17、18 の内部に多結晶シリコンのプラグ 29 を埋め込む。このプラグ 29 は、CVD 法を用いて酸化シリコン膜 16 の上部に膜厚 300nm 程度の多結晶シリコン膜を 540℃ 程度の成膜温度で堆積した後、この多結晶シリコン膜をエッチバックして形成する。この多結晶シリコン膜には n 型不純物 (P) を添加する。

【0051】

次に、図 25 に示すように、多結晶シリコンのプラグ 29 の表面に Ti シリサイド層 31 を形成する。Ti シリサイド層 31 は、接続孔 17、18 の内部に多結晶シリコンのプラグ 29 を埋め込んだ直後に、スパッタリング法を用いて酸化シリコン膜 16 の上部に膜厚 50nm 程度の Ti 膜を堆積し、800℃ 程度のアニールでこの Ti 膜と多結晶シリコン (プラグ 29) とを反応させた後、酸化シリコン膜 16 の上部に残った未反応の Ti 膜をウェットエッチングで除去して形成する。

【0052】

次に、図 26 に示すように、プラズマ CVD 法を用いて酸化シリコン膜 16 の上部に膜厚 50nm 程度の酸化シリコン膜 45 を 360℃ 程度の成膜温度で堆積した後、フォトレジストをマスクにして酸化シリコン膜 45、酸化シリコン膜 16 およびゲート酸化膜 7 をエッチングすることにより、周辺回路の n チャネル型 MISFET の n⁺ 型半導体領域 13 (ソース領域、ドレイン領域) の上部に接続孔 19、20 を形成し、p チャネル型 MISFET の p⁺ 型半導体領域 15 (ソース領域、ドレイン領域) の上部に接続孔 21、22 を形成する。またこのとき、メモリセル選択用 MISFET の n 型半導体領域 11 (ソース領域、ドレイン

領域)の一方の上部に形成された前記接続孔17の上部の酸化シリコン膜45を除去する。

【0053】

次に、図27に示すように、前記実施の形態1の方法に従って周辺回路の接続孔19～22の内部にTiNとWの積層膜で構成されたプラグ23を埋め込んだ後、図28に示すように、酸化シリコン膜45の上部にビット線BL₁、BL₂と周辺回路の配線24A、24Bを形成し、次いでビット線BL₁、BL₂と配線24A、24Bのそれぞれの側壁にサイドウォールスペーサ26を形成する。

【0054】

次に、図29に示すように、前記実施の形態1の方法に従ってビット線BL₁、BL₂と配線24A、24Bのそれぞれの上部に酸化シリコン膜27を堆積し、次いでその表面を化学的機械研磨(CMP)法で研磨して平坦化した後、フォトレジストをマスクにして酸化シリコン膜27をエッチングすることにより、メモリセル選択用MISFETのn型半導体領域11(ソース領域、ドレイン領域)の一方の上部に形成された前記接続孔18の上部に自己整合(セルフアライン)で接続孔28を形成する。

【0055】

次に、図30に示すように、接続孔28の底部に露出した前記Tiシリサイド層30の表面の異物をAr(アルゴン)などを用いたスパッタエッチングで除去した後、前記実施の形態1の方法に従って接続孔28の内部に多結晶シリコンあるいはWのプラグ30を埋め込む。このとき、多結晶シリコンのプラグ29の表面にTiシリサイド層31が形成されていない場合には、接続孔28の内部にプラグ30を埋め込む際にプラグ29(多結晶シリコン)の表面が酸化されるので、コンタクト抵抗が増加する。このとき、プラグ29(多結晶シリコン)の表面の酸化膜を除去するためのウェットエッチングを行うと、接続孔28の底部や側壁の絶縁膜がサイドエッチングされるので、接続孔18、28の形状不良を引き起こす。

【0056】

本実施の形態のDRAMの製造方法によれば、接続孔18の内部に埋め込まれた前記多結晶シリコンのプラグ29の表面にTiシリサイド層31を形成してプラグ29(多結晶シリコン)の表面の酸化を防いでいるので、上記のような問題は生じない。すなわち、接続孔28の内部に埋め込むプラグ30の材料が多結晶シリコンの場合は、ウェットエッチングを行わなくともコンタクト抵抗を低減することができる。また、プラグ30の材料がWなどの金属材料の場合は、Tiシリサイド層31の表面の異物をArスパッタなどで除去するだけでコンタクト抵抗を低減することができる。

【0057】

プラグ29（多結晶シリコン）の表面の酸化を防止する対策として、接続孔17、18の内部に多結晶シリコンのプラグ29を埋め込んだ直後に、プラグ29の表面にTiなどのメタル膜を選択成長させてもよい。

【0058】

次に、図31に示すように、前記実施の形態1の方法に従って接続孔28の上部に情報蓄積用容量素子Cを形成し、次いで情報蓄積用容量素子Cの上部に酸化シリコン膜35を堆積した後、フォトレジストをマスクにして酸化シリコン膜35をエッチングすることにより、情報蓄積用容量素子Cのプレート電極34の上部に接続孔36を形成する。また同時に、酸化シリコン膜35および酸化シリコン膜27をエッチングすることにより、周辺回路の配線24Aの上部に接続孔37を形成し、配線24Bの上部に接続孔38を形成する。

【0059】

次に、図32に示すように、接続孔35、36、37の内部にTiNのプラグ55を埋め込む。TiNのプラグ55は、スパッタリング法およびCVD法を用いて酸化シリコン膜35の上部にTiN膜を堆積した後、このTiN膜をエッチバックして形成する。

【0060】

プラグ55の材料にTiNとWの積層膜を用いる場合は、酸化シリコン膜35の上部にTiN膜とW膜を堆積した後、これらの膜をエッチバックする。この場合は、TiNとWのエッチングレートに差があるので、酸化シリコン膜35上のTiN膜を完全に除去しようとする、接続孔35、36、37の内部に埋め込まれたWの表面が大きく削られる。そのため、酸化シリコン膜35の上部にAl配線を形成すると、接続孔35、36、37の上部でAl配線が断線する虞れがある。他方、酸化シリコン膜35上のTiN膜を完全にエッチングせずに残した場合は、その上部にAl配線を形成した際、TiNとAlの界面で膜剥がれが生じる虞れがある。

【0061】

本実施の形態のDRAMの製造方法によれば、接続孔35、36、37の内部に埋め込むプラグ材料をTiNの単層とすることにより、上記した不具合を回避することができる。

【0062】

次に、図33に示すように、酸化シリコン膜35の上部に配線39A、39B、39Cを形成する。配線39A、39B、39Cは、酸化シリコン膜35の上部にスパッタリング法で膜厚500nm程度のAl合金膜および膜厚10nm程度のTiN膜を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜

をパターンニングして形成する。以上の工程により、本実施の形態のDRAMが略完成する。

【0063】

(実施の形態5)

本実施の形態のDRAMは、情報蓄積用容量素子Cのプレート電極34を構成する導電材(TiN)を周辺回路の配線材料として用い、プレート電極34と周辺回路の配線を同一工程で形成する。

【0064】

このDRAMを製造するには、図34に示すように、前記実施の形態1の製造方法に従って、ビット線BL₁、BL₂と周辺回路の配線24A、24Bの上部に堆積した酸化シリコン膜27の上部に情報蓄積用容量素子の蓄積電極32を形成した後、図35に示すように、蓄積電極32の上部に堆積したTa₂O₅膜とTiN膜とをパターンニングすることにより、情報蓄積用容量素子Cの容量絶縁膜33とプレート電極34とを形成し、同時に周辺回路の配線56、57を形成する。

【0065】

容量絶縁膜であるTa₂O₅膜とその上部に堆積したTiN膜との積層膜で構成された配線56、57は、接続孔を通じて下層の配線と直接には接続できない。この場合、Ta₂O₅膜を堆積した後に周辺回路のTa₂O₅膜をエッチングで除去してからTiN膜を堆積すれば、下層の配線と直接に接続できるが、工程が増加する。また、Ta₂O₅膜の一部をエッチングするので、容量絶縁膜の信頼性が低下する虞れもある。そこで本実施の形態では、以下の方法で配線56、57と下層の配線を接続する。

【0066】

まず図36に示すように、情報蓄積用容量素子Cおよび配線56、57の上部に酸化シリコン膜35を堆積した後、フォトレジストをマスクにして酸化シリコン膜35をエッチングすることにより、情報蓄積用容量素子Cのプレート電極34の上部に接続孔36を形成する。また同時に、配線56、57が形成された領域の酸化シリコン膜35、酸化シリコン膜27および窒化シリコン膜25をエッチングして周辺回路の配線24Aの上部に接続孔37を形成し、配線24Bの上部に接続孔38を形成する。このとき、接続孔37の内部に配線56の一端が露出し、接続孔38の内部に配線57の一端が露出する。

【0067】

次に、図37に示すように、接続孔35、36、37の内部にTiNのプラグ55を埋め込んだ後、酸化シリコン膜35の上部に配線39A、39B、39C、39Dを形成する。これにより、周辺回路の配線56は配線39Cを介して下

層の配線 2 4 A と接続され、配線 5 7 は配線 3 9 D を介して下層の配線 2 4 B と接続される。

【0068】

本実施の形態の DRAM の製造方法によれば、情報蓄積用容量素子 C のプレート電極材料 (TiN) を周辺回路の配線材料と共用することにより、周辺回路の配線層を増やして配線設計の自由度を向上させることができる。

【0069】

本実施の形態の DRAM の製造方法によれば、DRAM の製造工程を増やすことなく、周辺回路の配線層を増やすことができる。

【0070】

(実施の形態 6)

前記実施の形態 5 の DRAM の製造方法では、周辺回路の配線 5 6、5 7 を形成した領域の酸化シリコン膜 3 5、酸化シリコン膜 2 7 および窒化シリコン膜 2 5 をエッチングして配線 2 4 A の上部に接続孔 3 7 を形成し、配線 2 4 B の上部に接続孔 3 8 を形成することにより、接続孔 3 7 の内部に配線 5 6 の一端を露出させ、接続孔 3 8 の内部に配線 5 7 の一端を露出させる (図 3 6 参照)。このとき、絶縁膜 (酸化シリコン膜、窒化シリコン膜) に対する配線材料 (TiN) のエッチング選択比が小さいと、プレート電極 3 4 や配線 5 6、5 7 がエッチングされて膜厚が薄くなる虞れがある。そこで本実施の形態では、以下の方法で配線 5 6、5 7 と下層の配線を接続する。

【0071】

まず図 3 8 に示すように、蓄積電極 3 2 の上部に堆積した Ta_2O_5 膜と TiN 膜と第 3 の膜 (高選択比膜 5 8) をパターニングすることにより、情報蓄積用容量素子 C の容量絶縁膜 3 3 とプレート電極 3 4 とを形成し、同時に周辺回路の配線 5 6、5 7 を形成する。高選択比膜 5 8 は、酸化シリコン膜や窒化シリコン膜に対するエッチング選択比が大きい材料であれば、絶縁膜であっても導電膜であってもよい。

【0072】

次に、図 3 9 に示すように、情報蓄積用容量素子 C および配線 5 6、5 7 の上部に堆積した酸化シリコン膜 3 5 をフォトレジストをマスクにしてエッチングすることにより、情報蓄積用容量素子 C のプレート電極 3 4 の上部に接続孔 3 6 を形成する。また同時に、配線 5 6、5 7 が形成された領域の酸化シリコン膜 3 5、酸化シリコン膜 2 7 および窒化シリコン膜 2 5 をエッチングして周辺回路の配線 2 4 A の上部に接続孔 3 7 を形成し、配線 2 4 B の上部に接続孔 3 8 を形成する。このとき、プレート電極 3 4 の上部と配線 5 6、5 7 の上部は高選択比膜 5 8 で覆われているので、プレート電極 3 4 や配線 5 6、5 7 がエッチングされて

膜厚が薄くなることはない。

【0073】

次に、図40に示すように、エッチングの最終段階でプレート電極34の上部と配線56、57の上部を覆っている高選択比膜58をエッチングすることにより、接続孔37の内部に配線56の一端が露出し、接続孔38の内部に配線57の一端が露出する。その後は、前記実施の形態5の方法に従って酸化シリコン膜35の上部に配線39A、39B、39C、39Dを形成する。

【0074】

本実施の形態のDRAMの製造方法によれば、接続孔(36、37、38)を形成する工程でプレート電極34および配線56、57がエッチングされて膜厚が薄くなる不具合を確実に防止することができる。

【0075】

周辺回路の配線56、57と下層の配線との接続は、次のような方法で行ってもよい。

【0076】

まず、図41に示すように、蓄積電極32の上部に堆積した Ta_2O_5 膜とTiN膜と高選択比膜58とをパターンニングして情報蓄積用容量素子Cの容量絶縁膜33とプレート電極34とを形成し、同時に周辺回路の配線56、57を形成する。

【0077】

次に、図42に示すように、フォトリソスト59をマスクにして配線56、57が形成された領域の酸化シリコン膜35、酸化シリコン膜27および窒化シリコン膜25をエッチングして周辺回路の配線24Aの上部に接続孔37を形成し、配線24Bの上部に接続孔38を形成する。このとき、配線56、57の上部を覆う高選択比膜58がエッチングストップとなるので、配線56、57がエッチングされて膜厚が薄くなることはない。

【0078】

次に、図43に示すように、エッチングの最終段階で配線56、57の上部を覆っている高選択比膜58をエッチングすることにより、接続孔37の内部に配線56の一端を露出され、接続孔38の内部に配線57の一端を露出させる。

【0079】

その後、図44に示すように、酸化シリコン膜27の上部に堆積した導電膜をパターンニングして接続孔37の上部に配線60を形成し、接続孔38の上部に配線61を形成する。これにより、周辺回路の配線56は配線60を介して下層の配線24Aと接続され、配線57は配線61を介して下層の配線24Bと接続される。

【0080】

周辺回路の配線56、57と下層の配線との接続は、次のような方法で行ってもよい。

【0081】

まず、図45に示すように、蓄積電極32の上部に堆積した Ta_2O_5 膜とTiN膜と高選択比膜58とをパターニングして情報蓄積用容量素子Cの容量絶縁膜33とプレート電極34とを形成し、同時に周辺回路の配線56、57を形成した後、情報蓄積用容量素子Cおよび配線56、57の上部に堆積した酸化シリコン膜35をフォトリソグラフィをマスクにしてエッチングすることにより、情報蓄積用容量素子Cのプレート電極34の上部に接続孔36を形成し、配線56の上部に接続孔37を形成する。また同時に、配線57が形成された領域の酸化シリコン膜35、酸化シリコン膜27および窒化シリコン膜25をエッチングして周辺回路の配線24Bの上部に接続孔38を形成する。このとき、プレート電極34の上部と配線56、57の上部は高選択比膜58で覆われているので、プレート電極34や配線56、57がエッチングされて膜厚が薄くなることはない。

【0082】

次に、図46に示すように、エッチングの最終段階で配線56、57の上部を覆っている高選択比膜58をエッチングすることにより、接続孔37の内部に配線56の一部を露出され、接続孔38の内部に配線57の一端を露出させる。

【0083】

次に、図47に示すように、接続孔35、36、37の内部にTiNのプラグ55を埋め込んだ後、酸化シリコン膜35の上部に配線39A、39B、39Cを形成する。これにより、周辺回路の配線56は、配線39Cおよび配線57を介して下層の配線24Bと接続される。

【0084】

(実施の形態7)

本実施の形態は、CMOS (Complementary Metal Oxide Semiconductor) FETの製造方法に適用したものである。

【0085】

まず図48に示すように、半導体基板1の表面に膜厚400nm程度のフィールド酸化膜2を形成する。フィールド酸化膜2は、窒化シリコン膜をマスクにして半導体基板1を1000℃程度の温度でアニールして形成する。

【0086】

続いて、pチャネル型MISFETを形成する領域の半導体基板1の表面をフォトリソグラフィ70で覆い、nチャネル型MISFETを形成する領域の半導体基板1にp型不純物(B)をイオン注入してp型ウェル3を形成する。

【0087】

次に、フォトリジスト70を除去し、半導体基板1をアニールして上記p型不純物のイオン注入による結晶欠陥を回復させた後、図49に示すように、半導体基板1の全面にp型不純物(B)をイオン注入し、nチャネル型MISFETのチャネル領域72を形成する。このとき、pチャネル型MISFETを形成する領域の半導体基板1にもp型不純物(B)がイオン注入される。

【0088】

次に、図50に示すように、p型ウエル3をフォトリジスト71で覆い、pチャネル型MISFETを形成する領域の半導体基板1にn型不純物(P)を2回イオン注入してn型ウエル4を形成する。この2回のイオン注入の一方は、デバイス特性を向上させるためのもので、比較的低いエネルギーで不純物を注入する。またもう一方は、素子分離とウエル抵抗の低減とを兼ねたもので、比較的高いエネルギーで不純物を注入する。

【0089】

次に、図51に示すように、n型ウエル4にn型不純物(P)をイオン注入することにより、pチャネル型MISFETのチャネル領域73を形成すると共に、前記nチャネル型MISFETのチャネル領域を形成する工程でイオン注入されたp型不純物を補償する。

【0090】

なお、上記の方法では、p型ウエル3を形成した後、フォトリジスト70を除去し、次いで半導体基板1をアニールしてp型不純物のイオン注入による結晶結果を回復させたが、このアニールを省略し、フォトリジスト70を残したままp型ウエル3にp型不純物をイオン注入することによって、nチャネル型MISFETのチャネル領域72を形成してもよい。

【0091】

次に、フォトリジスト71を除去した後、図52に示すように、p型ウエル3、n型ウエル4のそれぞれの活性領域の表面に熱酸化法でゲート酸化膜7を形成し、次いでこのゲート酸化膜7の上部にnチャネル型MISFETのゲート電極8Bおよびpチャネル型MISFETのゲート電極8Cを形成する。

【0092】

これ以後の工程は、図53に示すフローに従って行う。すなわち、ソース領域、ドレイン領域を形成するための不純物の活性化処理は900℃程度の温度で行う。また、第1層目の配線とソース領域、ドレイン領域のコンタクト抵抗を低減するために接続孔の底部にTiシリサイドなどを形成する処理は800℃で行い、それ以降の配線用導電膜および絶縁膜の堆積は450℃以下で行う。

【0093】

また、前記実施の形態3のように、浅溝で素子分離を行う場合は、図54に示すフローに従って行う。すなわち、ソース領域、ドレイン領域を形成するための不純物の活性化処理は900℃程度の温度で行う。また、第1層目の配線とソース領域、ドレイン領域のコンタクト抵抗を低減するために接続孔の底部にTiシリサイドなどを形成する処理は800℃で行い、それ以降の配線用導電膜および絶縁膜の堆積は450℃以下で行う。

【0094】

本実施の形態のCMOSFETの製造方法によれば、p型ウエルとnチャネル型MISFETのチャネル領域の形成およびn型ウエルとpチャネル型MISFETのチャネル領域の形成を合計2回のフォトリソ工程で行うことができるので、CMOS・LSIの製造工程を低減することができる。

【0095】

本実施の形態のCMOSFETの製造方法によれば、工程を経るに従い熱処理温度の上限を下げることにより、高温熱処理による不純物の基板内への拡散が抑制され、ソース領域、ドレイン領域の浅接合化が実現できるので、CMOS・LSIの高性能化を推進することができる。

【0096】

(実施の形態8)

本実施の形態のCMOSFETの製造方法は、まず図55に示すように、前記実施の形態7の製造方法に従ってp型ウエル3のゲート酸化膜7にnチャネル型MISFETのゲート電極8Bを形成し、n型ウエル4のゲート酸化膜7上にpチャネル型MISFETのゲート電極8Cを形成する。

【0097】

次に、図56に示すように、n型ウエル4の表面をフォトリソ74で覆い、p型ウエル3にPとAsをイオン注入する。このとき、PをAsよりも深く、かつ少ないドーズ量でイオン注入する。あるいはPを斜め方向からイオン注入してもよい。

【0098】

次に、フォトリソ74を除去した後、図57に示すように、p型ウエル3の表面をフォトリソ75で覆い、n型ウエル4にBをイオン注入する。

【0099】

次に、フォトリソ75を除去した後、図58に示すように、不純物活性化のアニールを行い、nチャネル型MISFETのソース領域、ドレイン領域とpチャネル型MISFETのソース領域、ドレイン領域とを形成する。nチャネル型MISFETのソース領域、ドレイン領域は、Asの拡散によって形成される高不純物濃度のn⁺型半導体領域76の周囲および底部がPの拡散によって形成

される低不純物濃度の n^- 型半導体領域77で囲まれた2重拡散ドレイン(Double Diffused Drain)構造で構成され、 p チャネル型MISFETのソース領域、ドレイン領域は p 型半導体領域78からなるシングルドレイン構造で構成される。

【0100】

本実施の形態のCMOSFETの製造方法によれば、2重拡散ドレイン構造で構成された n チャネル型MISFETのソース領域、ドレイン領域とシングルドレイン構造で構成された p チャネル型MISFETのソース領域、ドレイン領域を合計3回のイオン注入で形成することができるので、CMOS・LSIの製造工程を簡略化することができる。また、 n チャネル型MISFETのソース領域、ドレイン領域を2重拡散ドレイン構造で構成することにより、ドレイン領域端部の高電界を緩和することができるので、ゲート長を微細化した場合に問題となる n チャネル型MISFETのホットエレクトロン効果を抑制することができる。

【0101】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0102】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0103】

本発明の製造方法によれば、MISFETを形成した後の工程で半導体基板上に堆積するすべての導電膜を500℃以下の温度で堆積することにより、熱処理工程を低減して浅接合のMISFETを形成することができる。

【0104】

本発明の製造方法によれば、MISFETを形成した後の工程で半導体基板上に堆積するすべての絶縁膜を500℃以下の温度で堆積することにより、熱処理工程を低減して浅接合のMISFETを形成することができる。

【0105】

本発明の製造方法によれば、すべての導電膜をメタルまたはメタル化合物で構成することにより、配線抵抗を低減することができる。

【0106】

本発明の製造方法によれば、MISFETを有する半導体集積回路装置の製造プロセスを簡略化することができる。

【図面の簡単な説明】**【図 1】**

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 6】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 7】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 8】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 9】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 10】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 11】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 12】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板

の要部断面図である。

【図 1 3】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 4】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 5】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 6】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 7】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 8】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 9】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 0】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 1】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 2】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 3】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 4】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板

の要部断面図である。

【図 2 5】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 6】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 7】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 8】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 2 9】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 0】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

P の拡散定数とアニール時間との関係を示すグラフである。

【図 3 1】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 2】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 3】

本発明の実施の形態 4 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 4】

本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 5】

本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 6】

本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 7】

本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 8】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3 9】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 0】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 1】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 2】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 3】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 4】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 5】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 6】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 7】

本発明の実施の形態 6 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 8】

本発明の実施の形態 7 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4 9】

本発明の実施の形態 7 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5 0】

本発明の実施の形態 7 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5 1】

本発明の実施の形態 7 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5 2】

本発明の実施の形態 7 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5 3】

本発明の実施の形態 7 である半導体集積回路装置の製造方法を示すフロー図である。

【図 5 4】

本発明の実施の形態 7 である半導体集積回路装置の製造方法を示すフロー図である。

【図 5 5】

本発明の実施の形態 8 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5 6】

本発明の実施の形態 8 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5 7】

本発明の実施の形態 8 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5 8】

本発明の実施の形態 8 である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

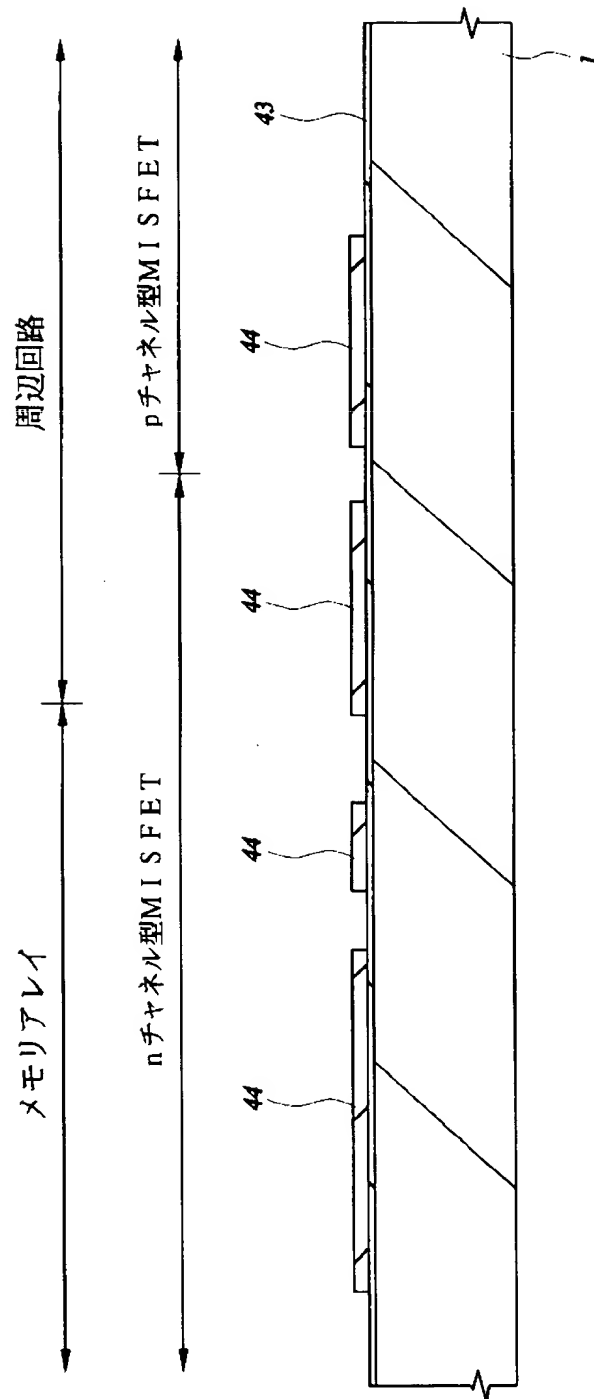
- 1 半導体基板
- 2 フィールド酸化膜
- 3 p 型ウエル

- 4 n型ウエル
- 5 p型チャネルストッパ層
- 6 n型チャネルストッパ層
- 7 ゲート酸化膜
- 8 A、8 B、8 C ゲート電極
- 9 窒化シリコン膜
- 10 サイドウォールスペーサ
- 11 n型半導体領域
- 12 n⁻型半導体領域
- 13 n⁺型半導体領域
- 14 p⁻型半導体領域
- 15 p⁺型半導体領域
- 16 酸化シリコン膜
- 17 接続孔
- 18 接続孔
- 19 接続孔
- 20 接続孔
- 21 接続孔
- 22 接続孔
- 23 プラグ
- 24 A、24 B 配線
- 25 窒化シリコン膜
- 26 サイドウォールスペーサ
- 27 酸化シリコン膜
- 28 接続孔
- 29 プラグ
- 30 プラグ
- 31 Tiシリサイド層
- 32 蓄積電極（下部電極）
- 33 容量絶縁膜
- 34 プレート電極（上部電極）
- 35 酸化シリコン膜
- 36 接続孔
- 37 接続孔
- 38 接続孔
- 39 A、39 B、39 C、39 D 配線

4 3 酸化シリコン膜
4 4 窒化シリコン膜
4 5 酸化シリコン膜
5 0 酸化シリコン膜
5 1 窒化シリコン膜
5 2 浅溝
5 3 酸化シリコン膜
5 4 酸化シリコン膜
5 5 プラグ
5 6 配線
5 7 配線
5 8 高選択比膜
5 9 フォトレジスト
6 0 配線
6 1 配線
7 0 フォトレジスト
7 1 フォトレジスト
7 2 チャネル領域
7 3 チャネル領域
7 4 フォトレジスト
7 5 フォトレジスト
7 6 n^+ 型半導体領域
7 7 n^- 型半導体領域
7 8 p 型半導体領域
C 情報蓄積用容量素子
 BL_1, BL_2 ビット線
WL ワード線

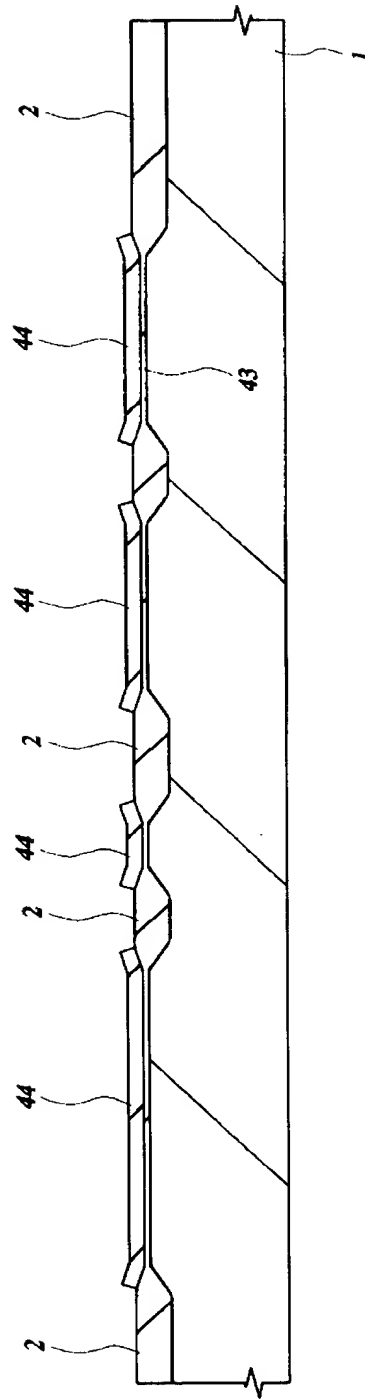
【書類名】 図面
【図 1】

図 1



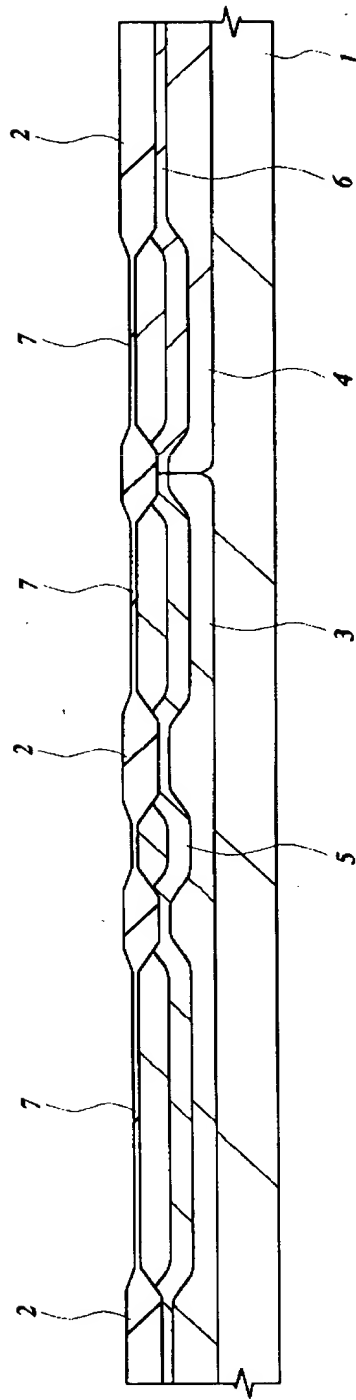
【图 2】

图 2



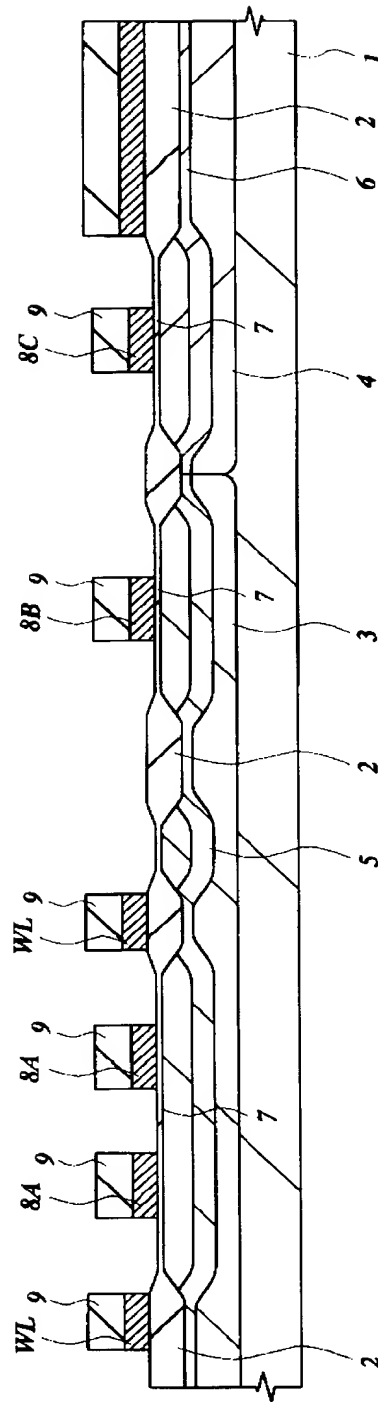
【图3】

图 3



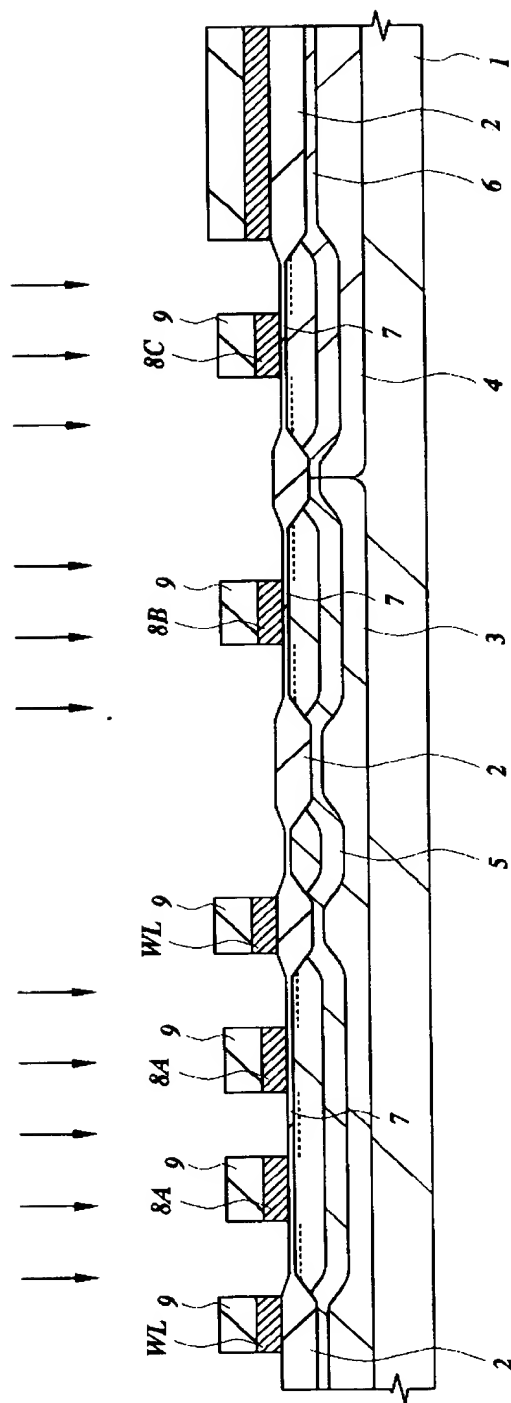
【図 4】

図 4

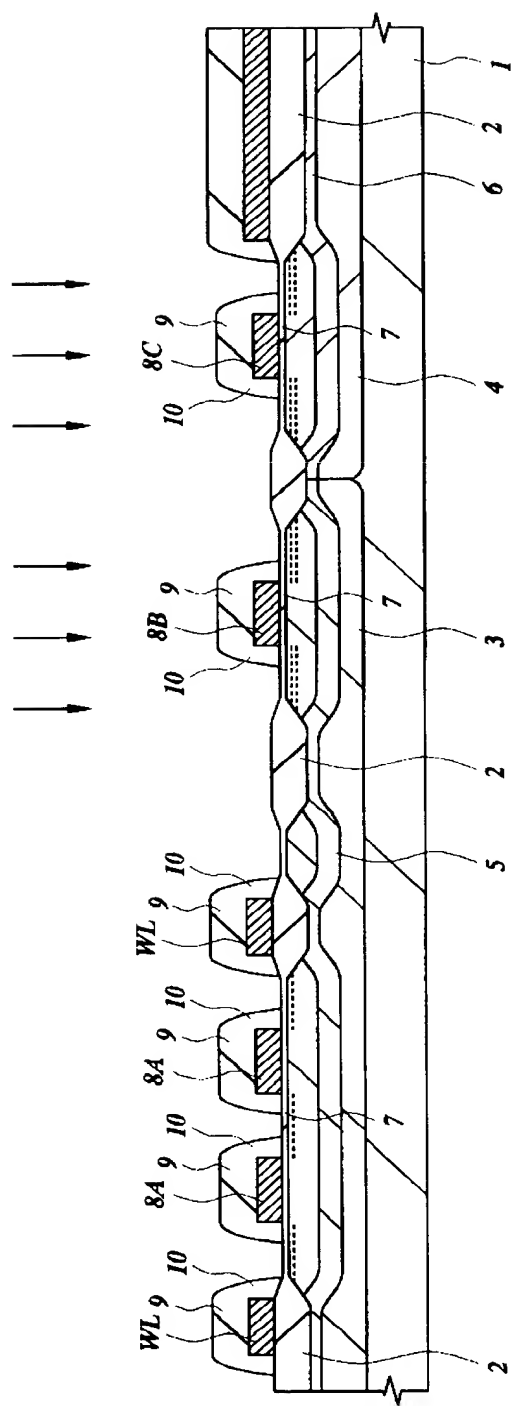


【图5】

图 5

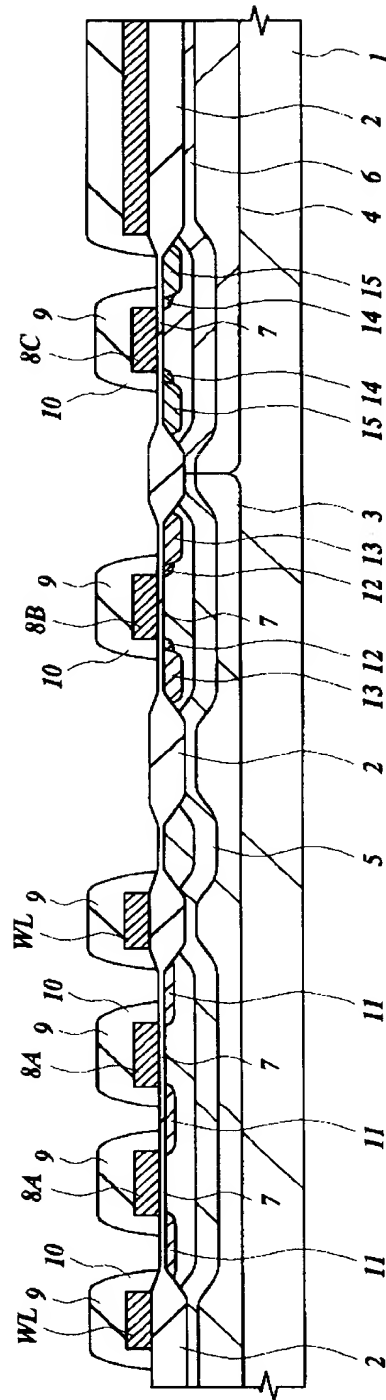


【図 6】



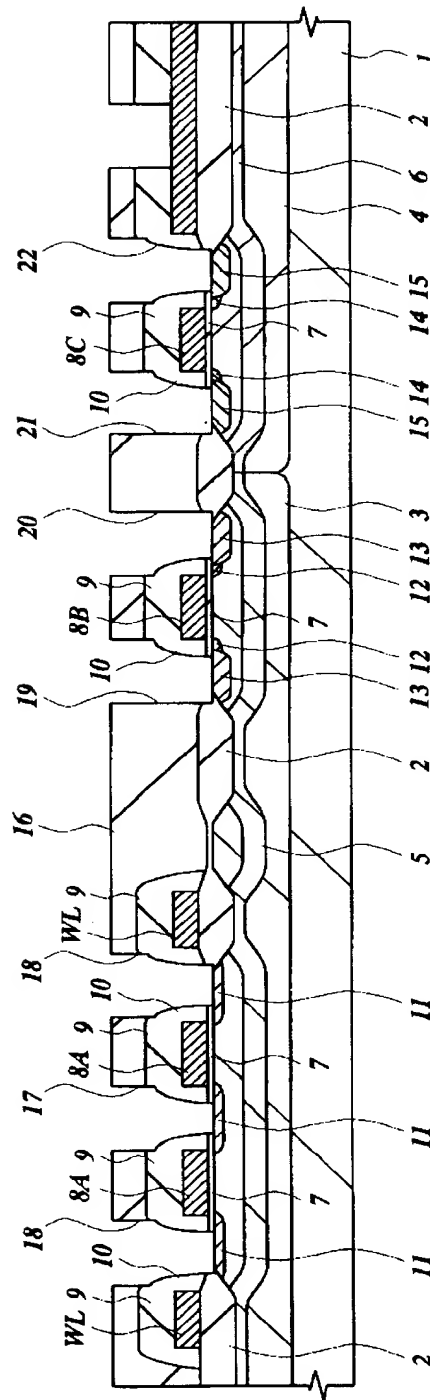
【图7】

图 7



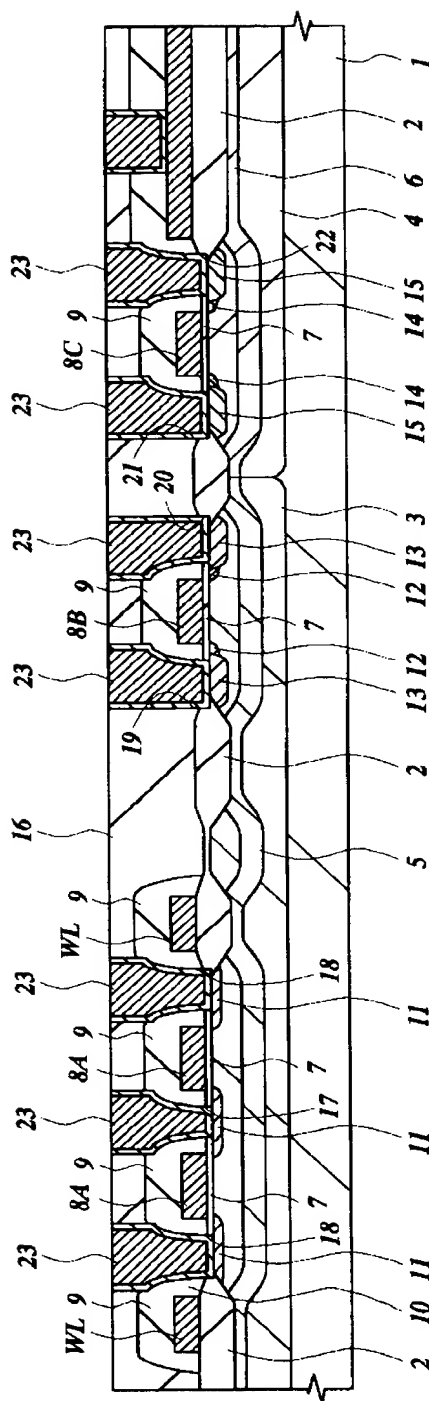
【图8】

图 8



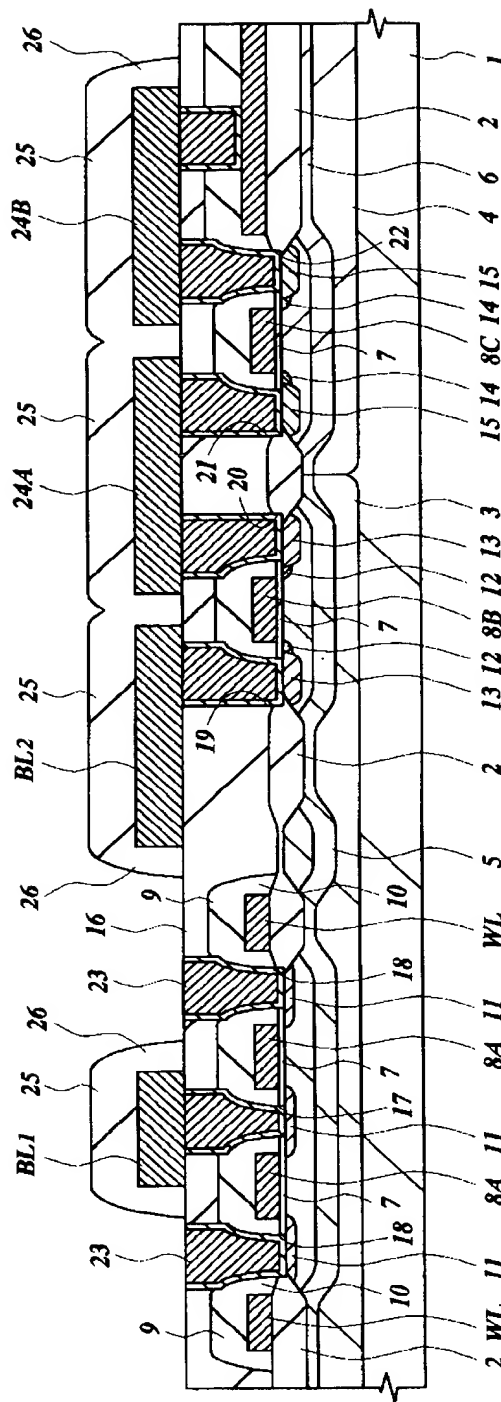
【图9】

图 9



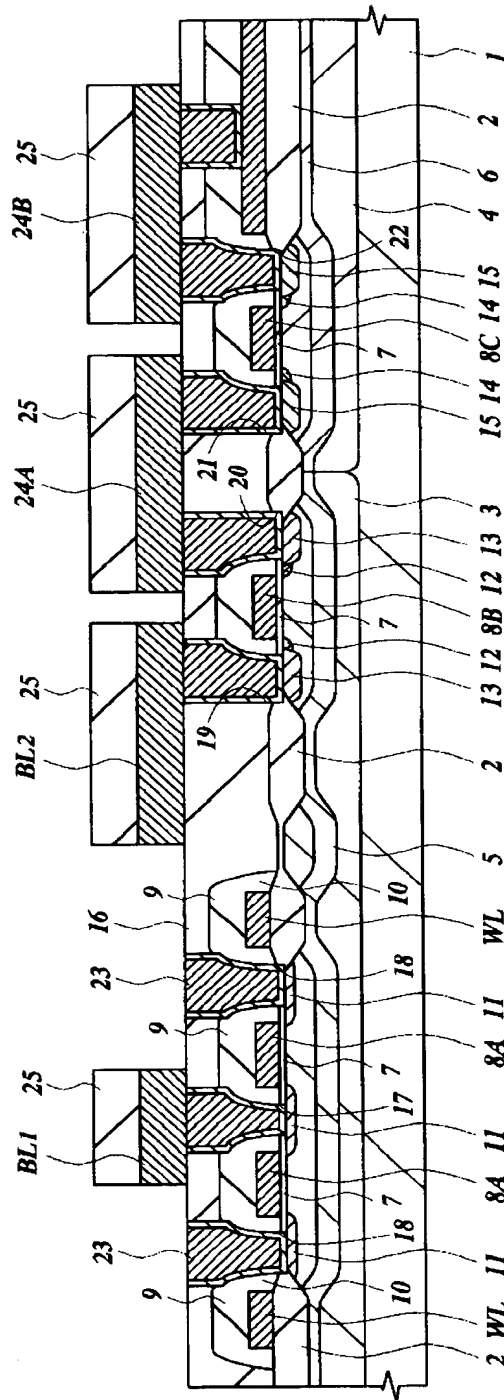
【図 11】

図 11

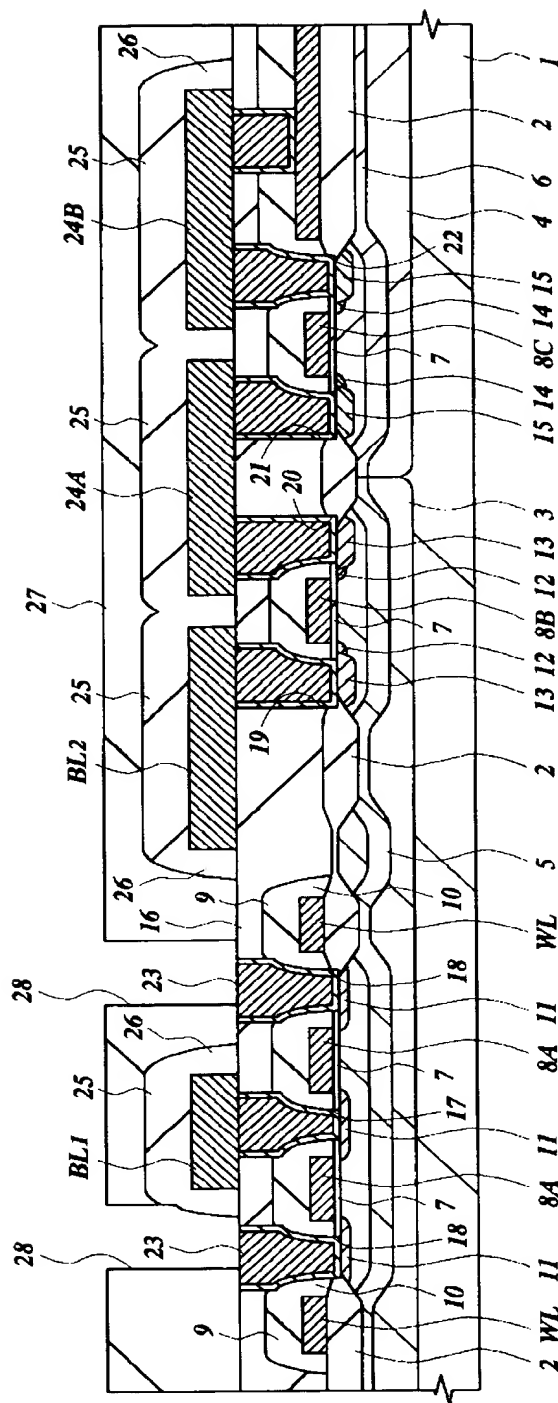
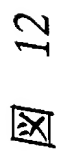


【図10】

図 10

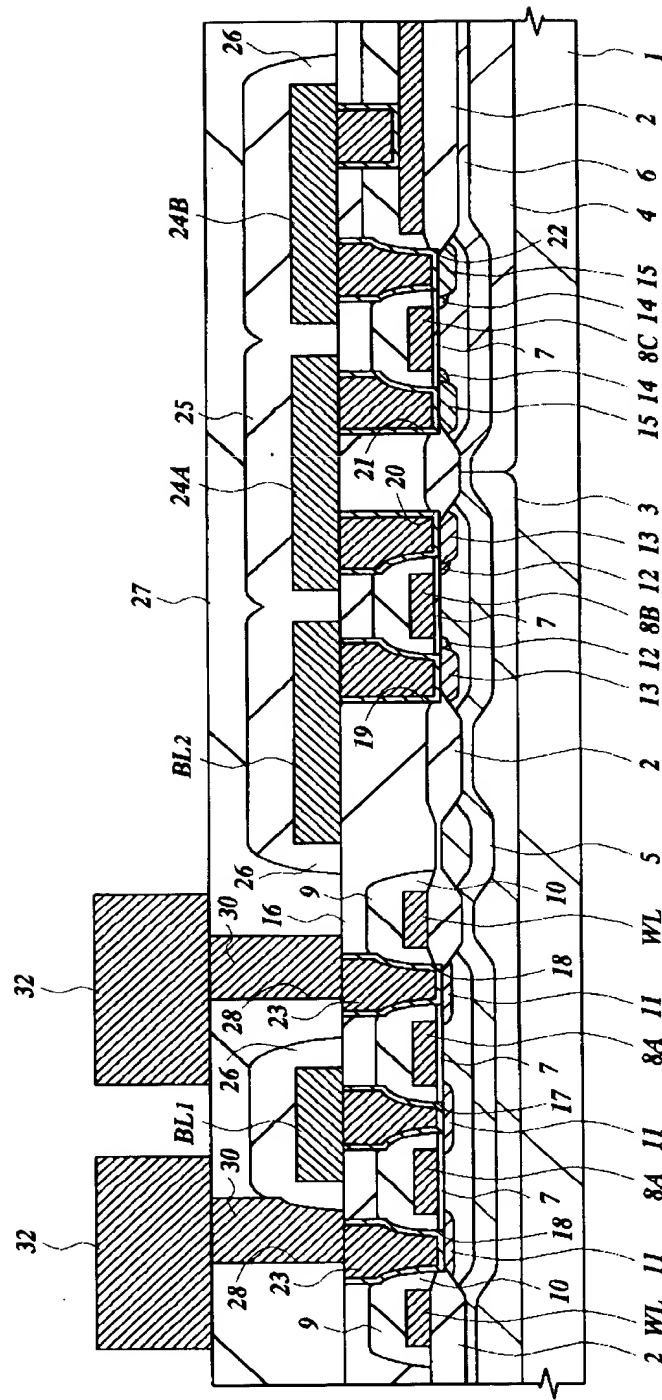


【圖 12】

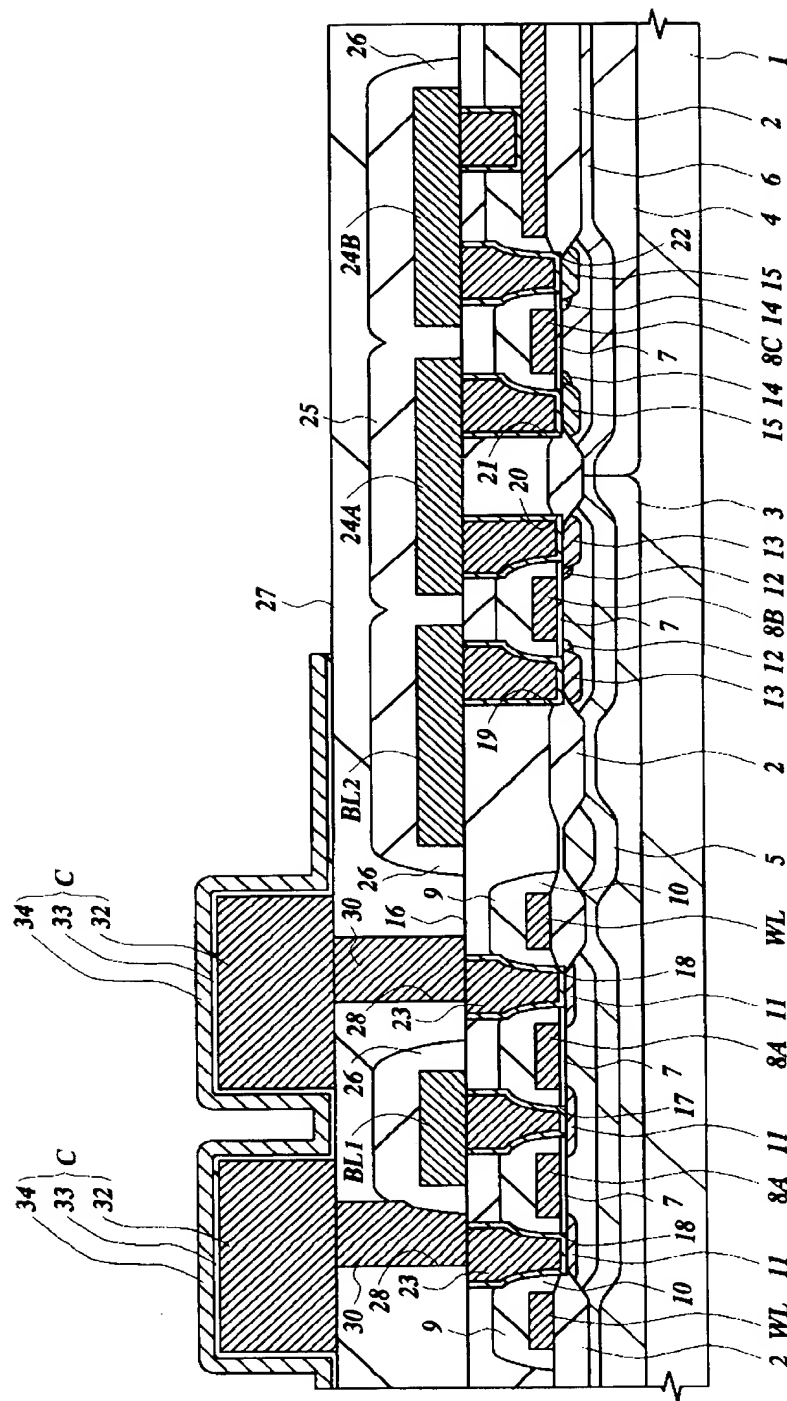


【図 13】

図 13

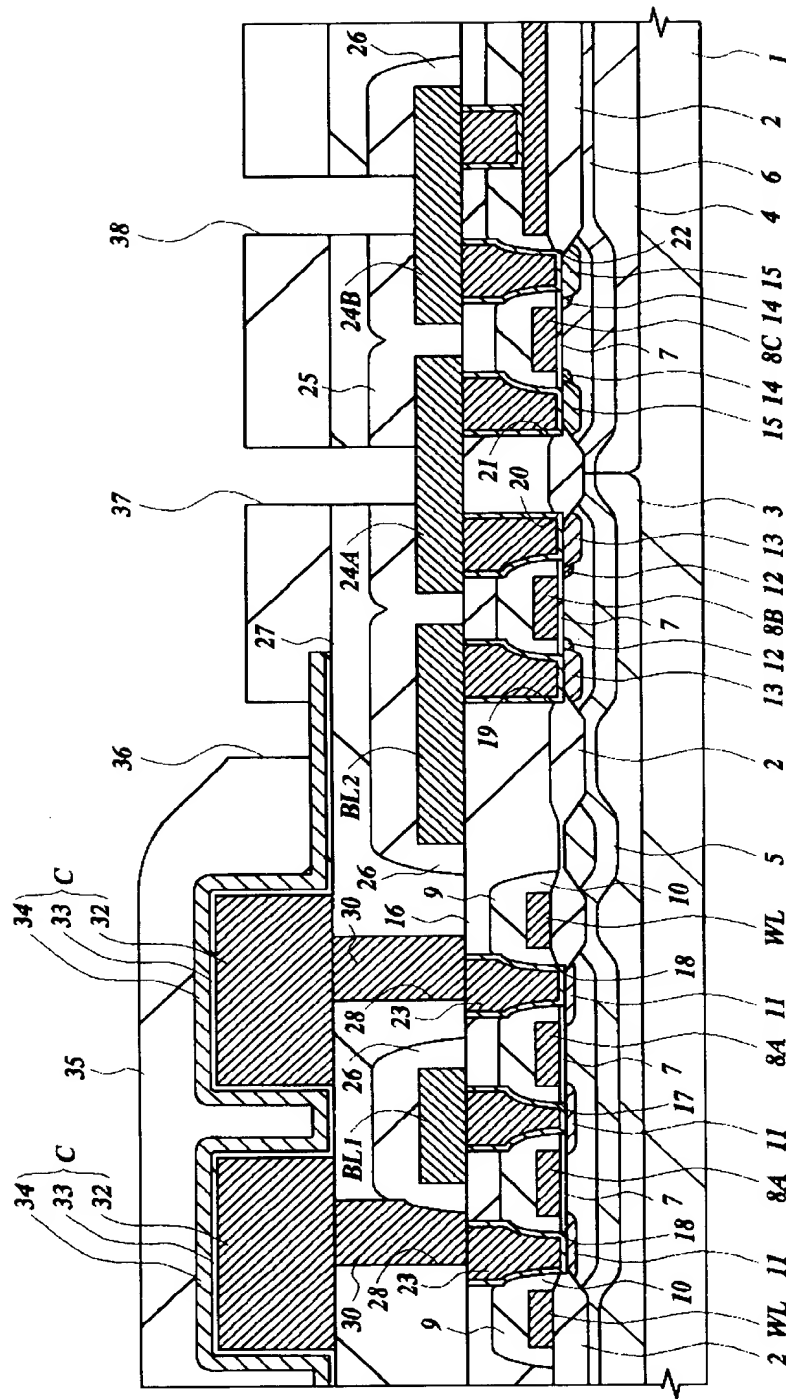


【図 14】



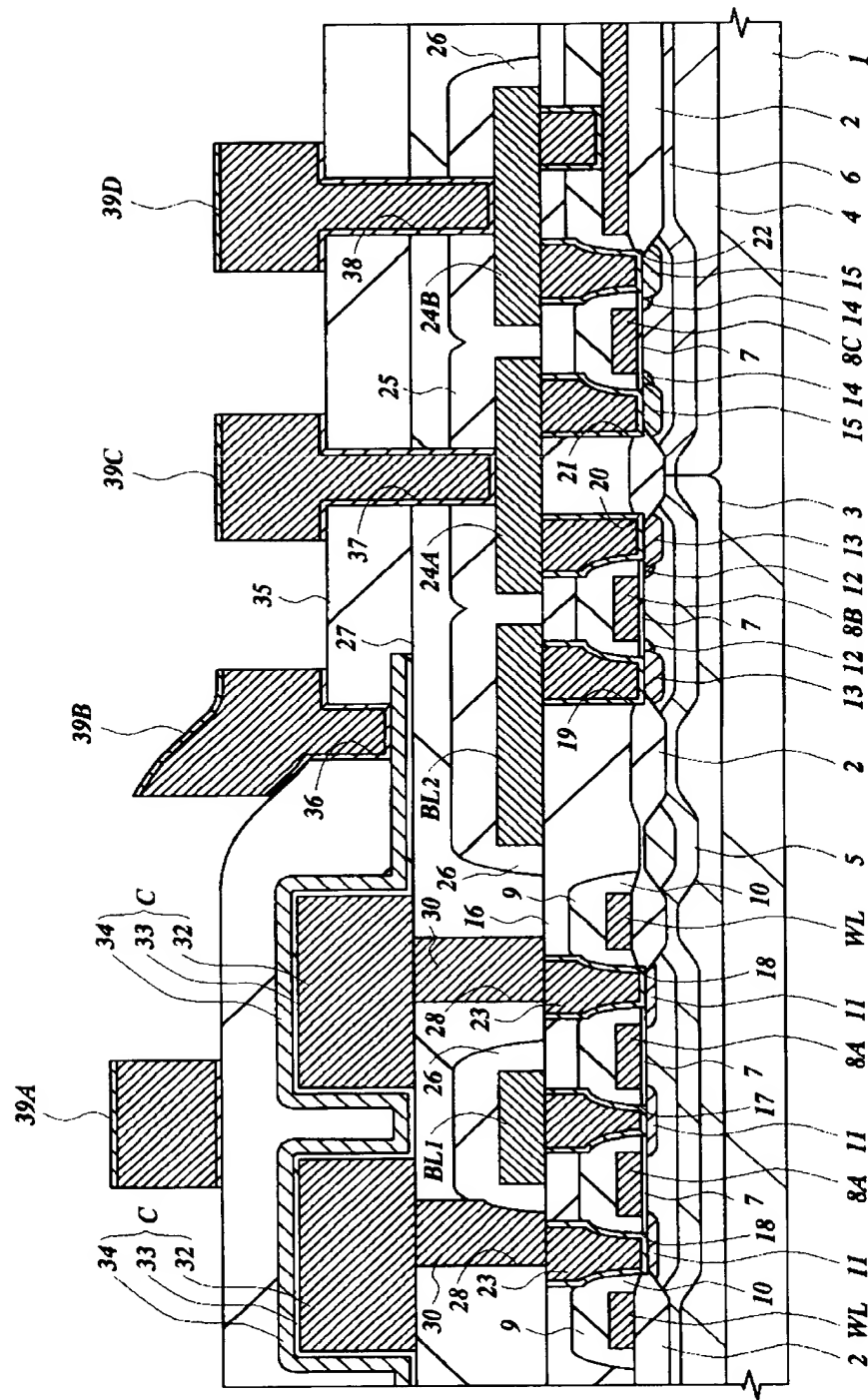
【図 15】

図 15



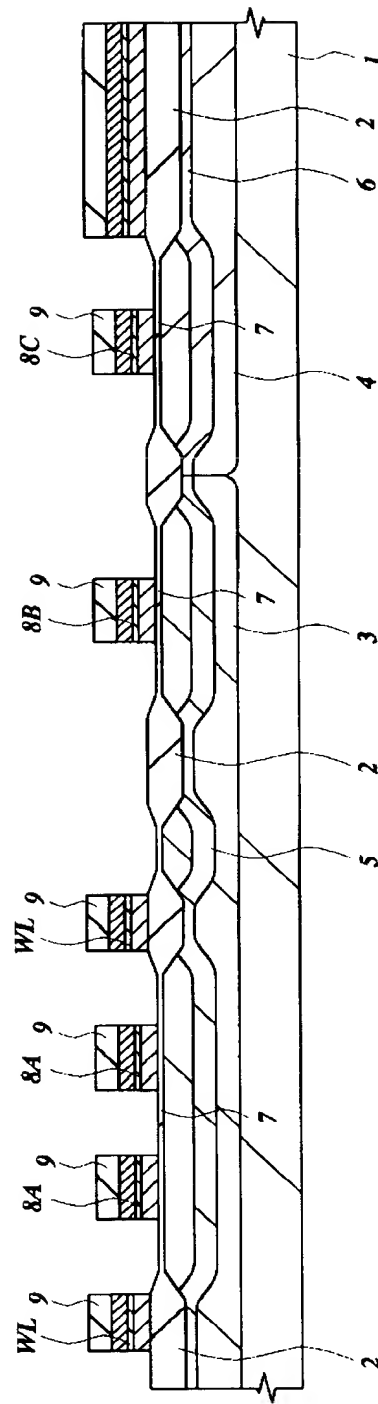
【図 16】

図 16



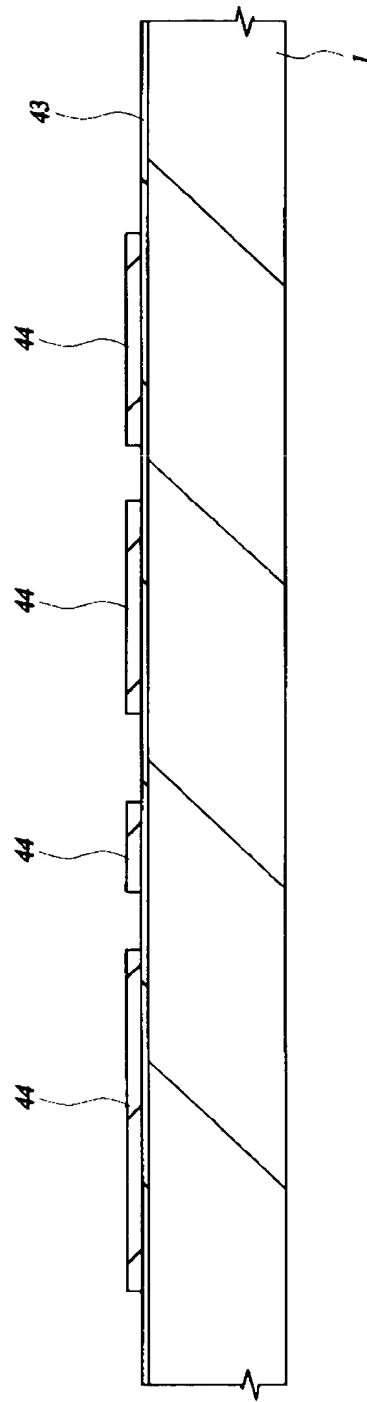
【図 17】

図 17



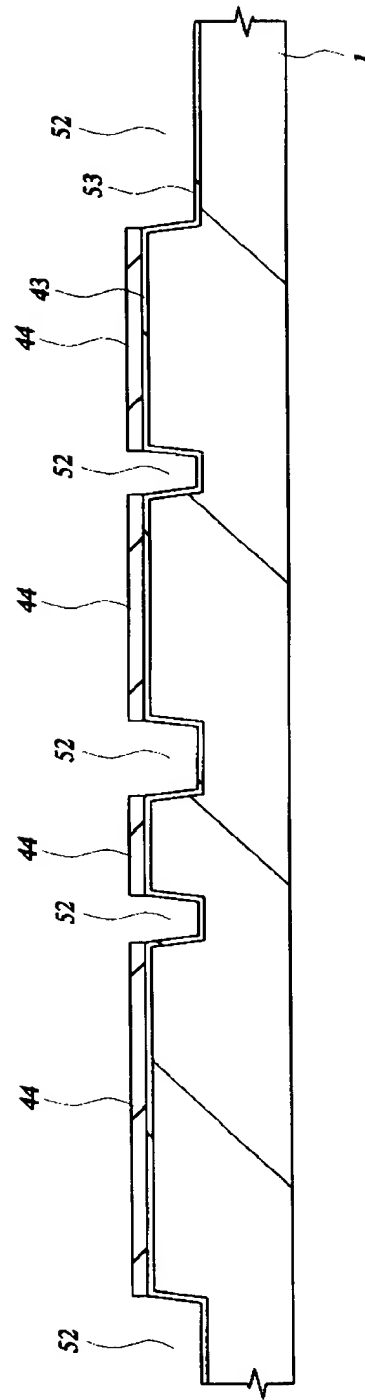
【图 18】

图 18



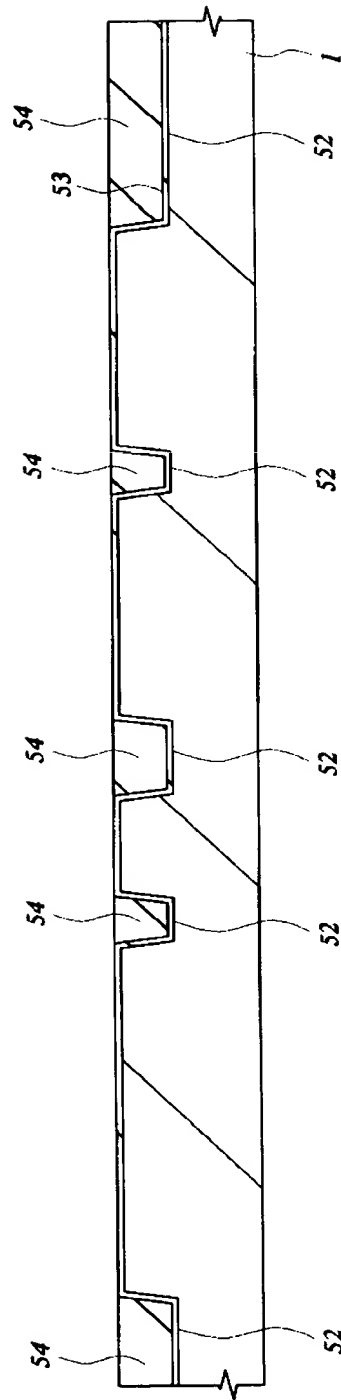
【图 19】

图 19



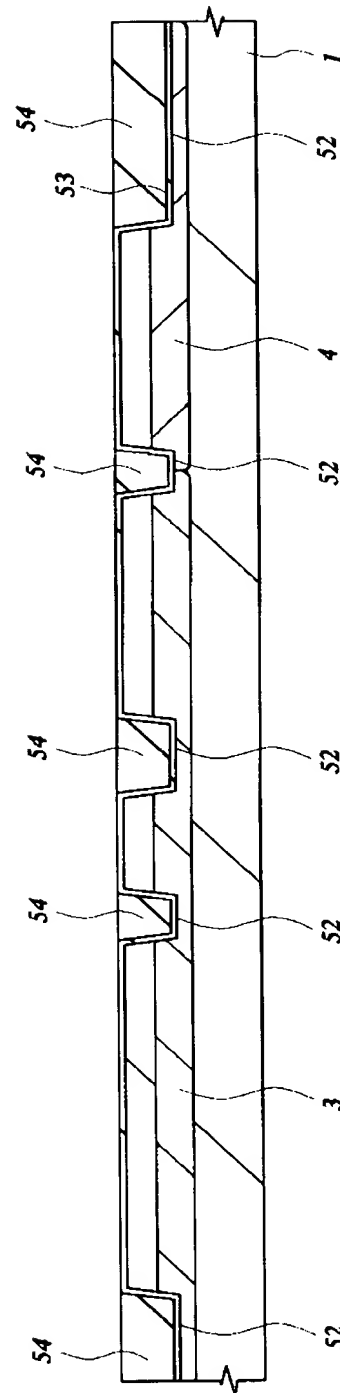
【图 20】

图 20



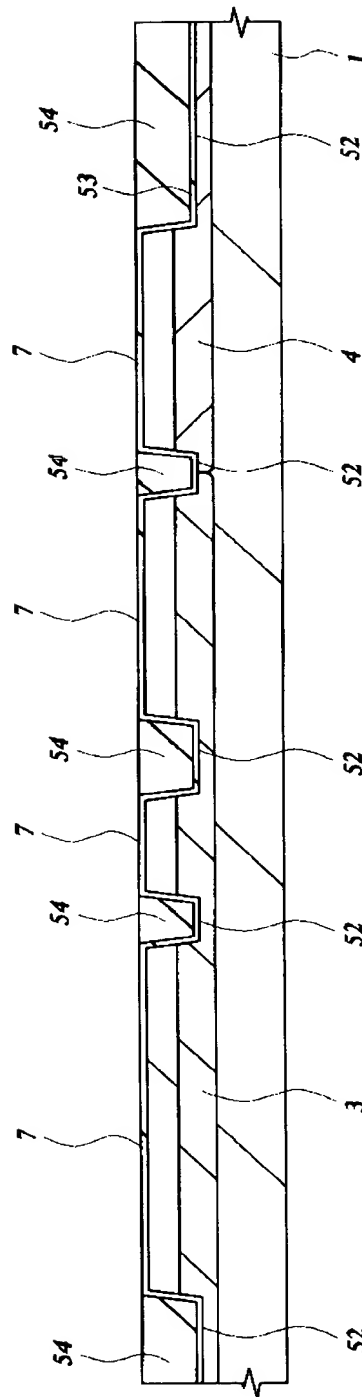
【图 21】

图 21



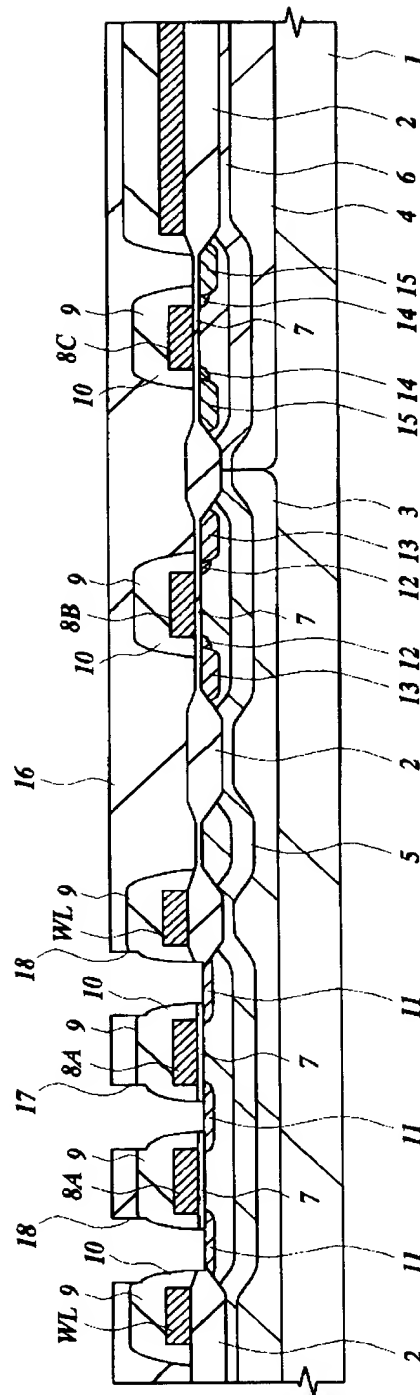
【图 22】

图 22



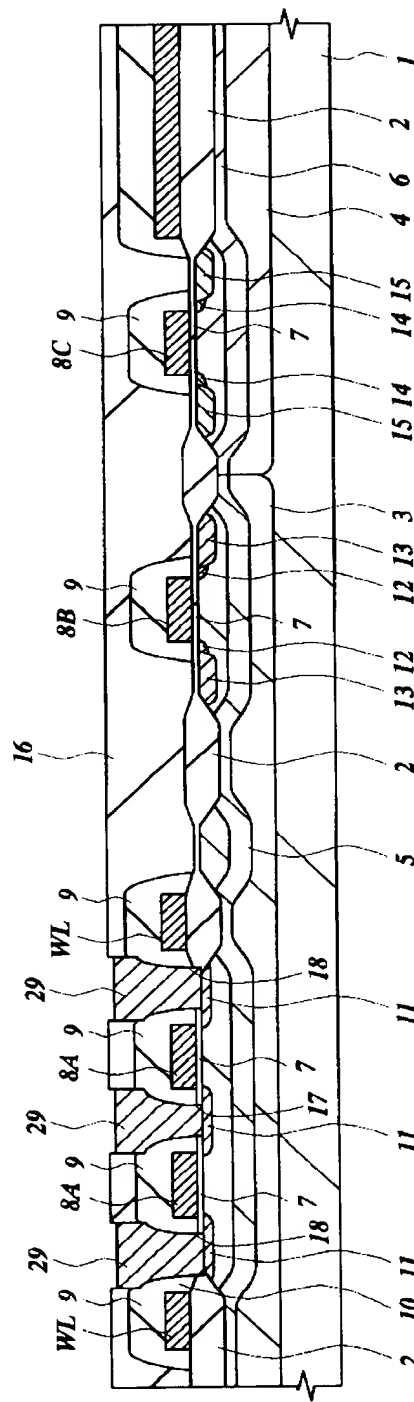
【图 23】

图 23

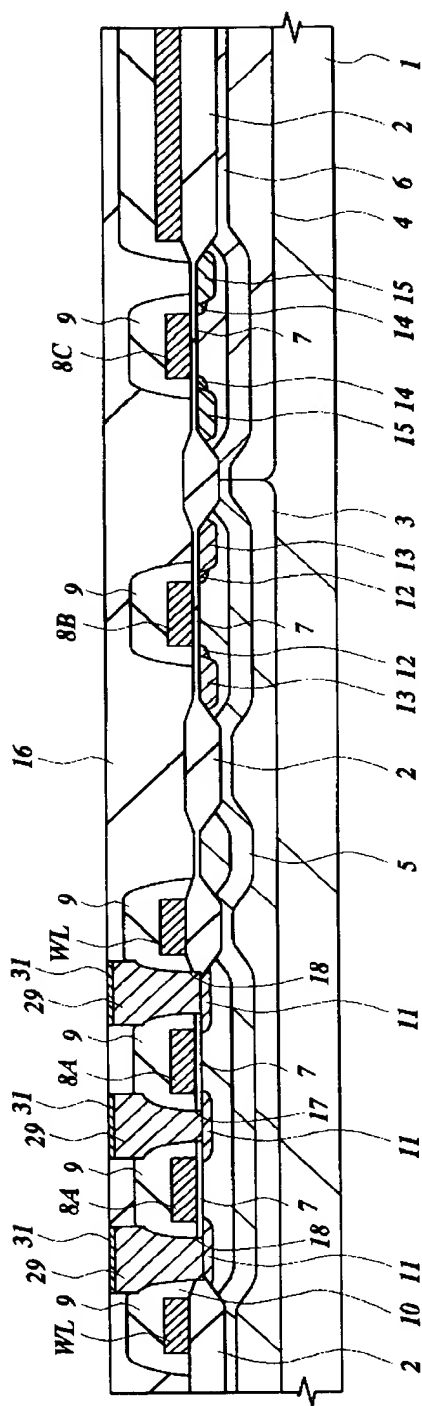


【图 24】

图 24

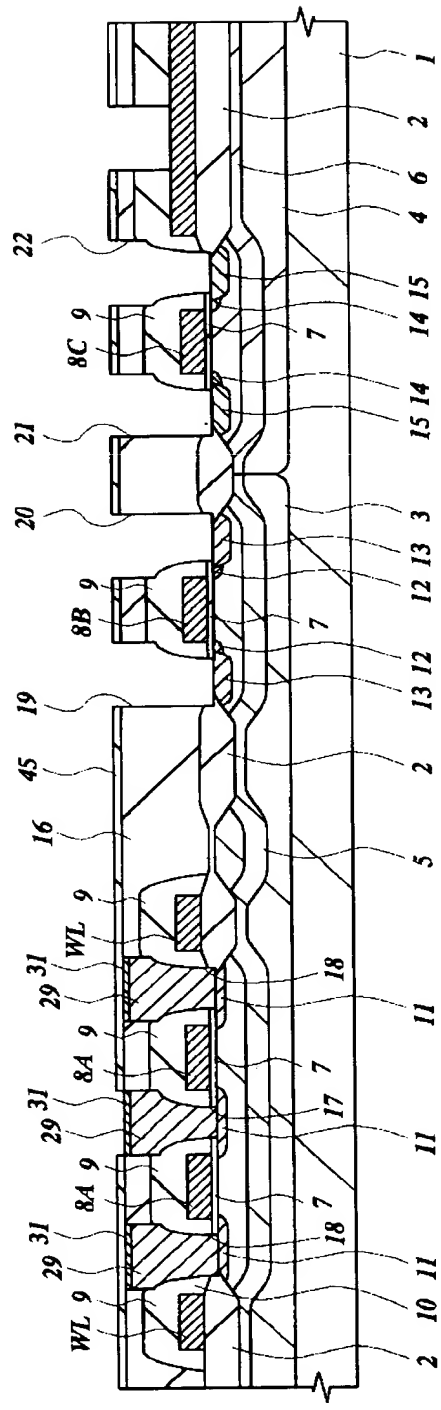


【図 25】

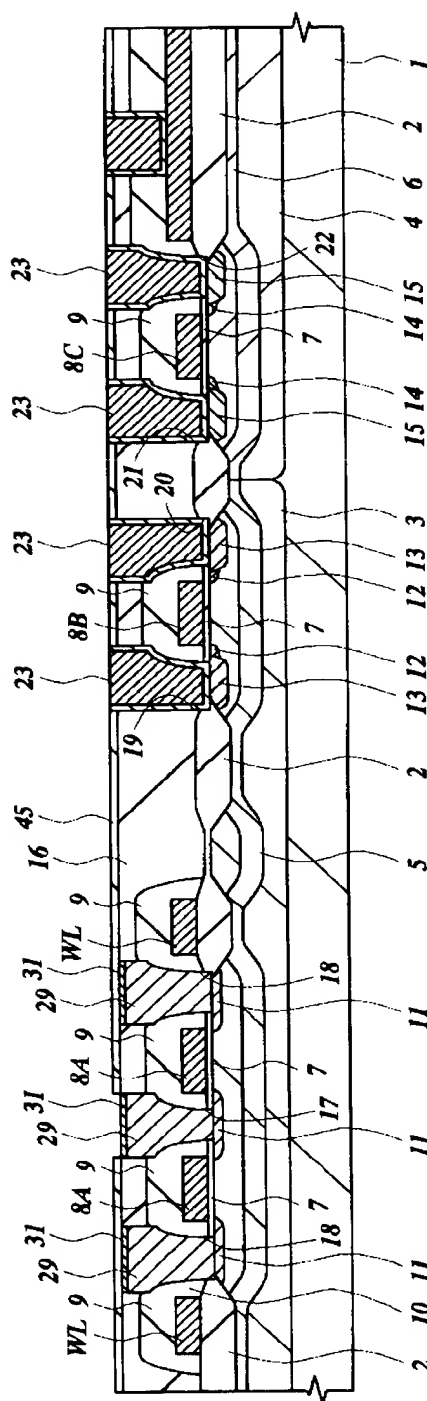


【图 26】

图 26

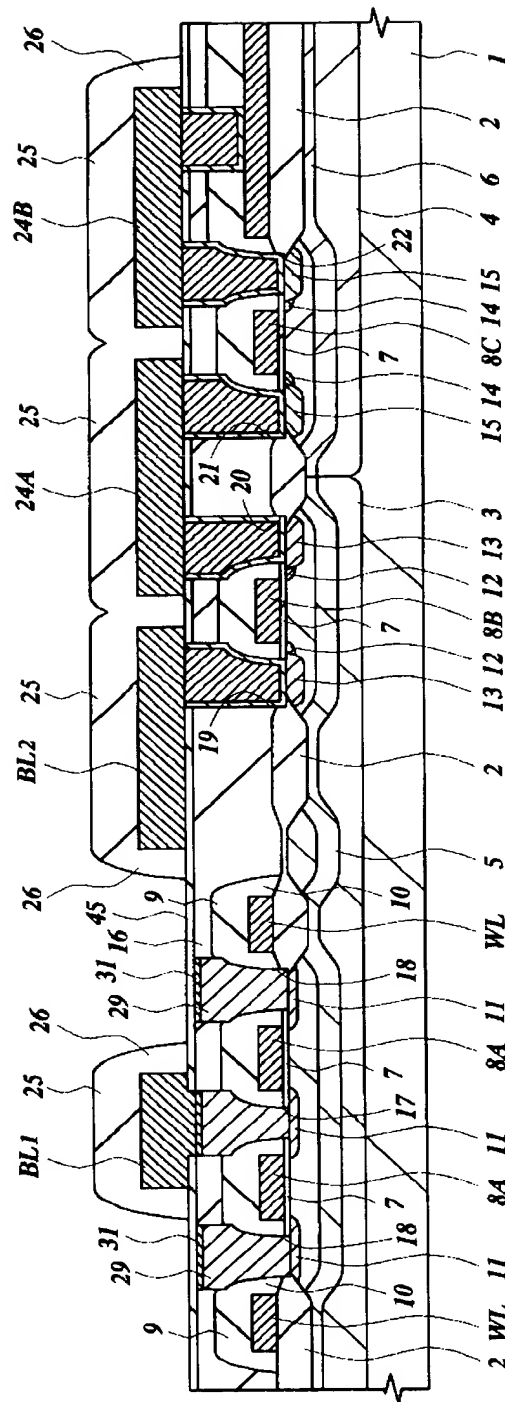


【圖 27】

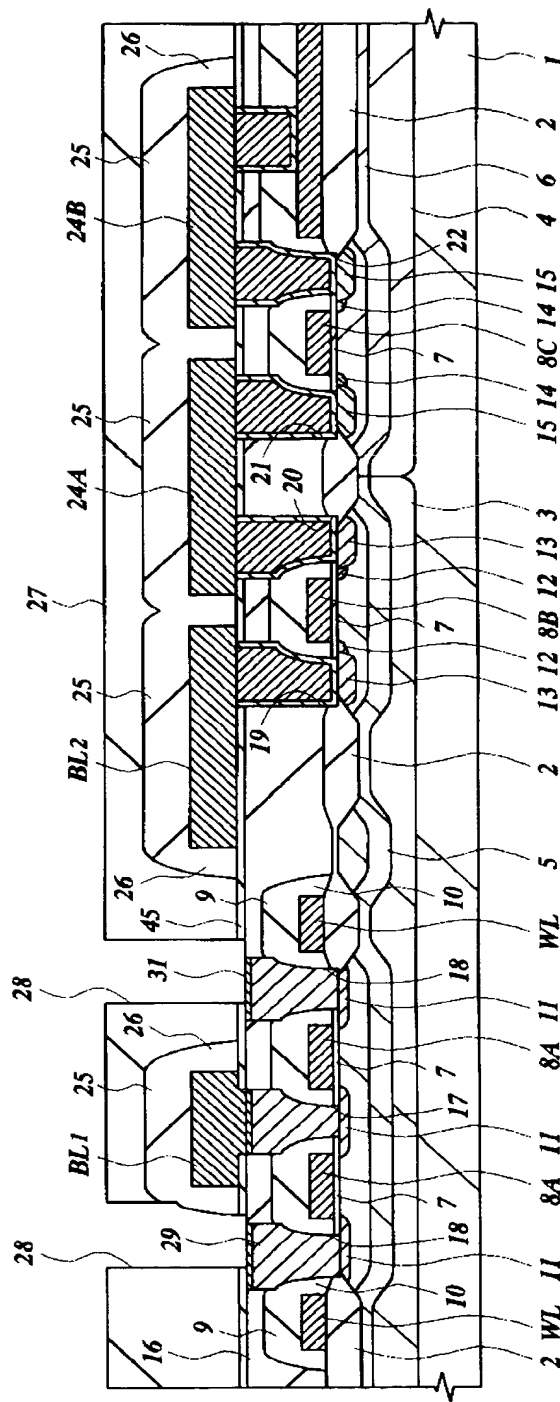
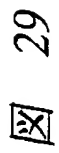


【図 28】

図 28

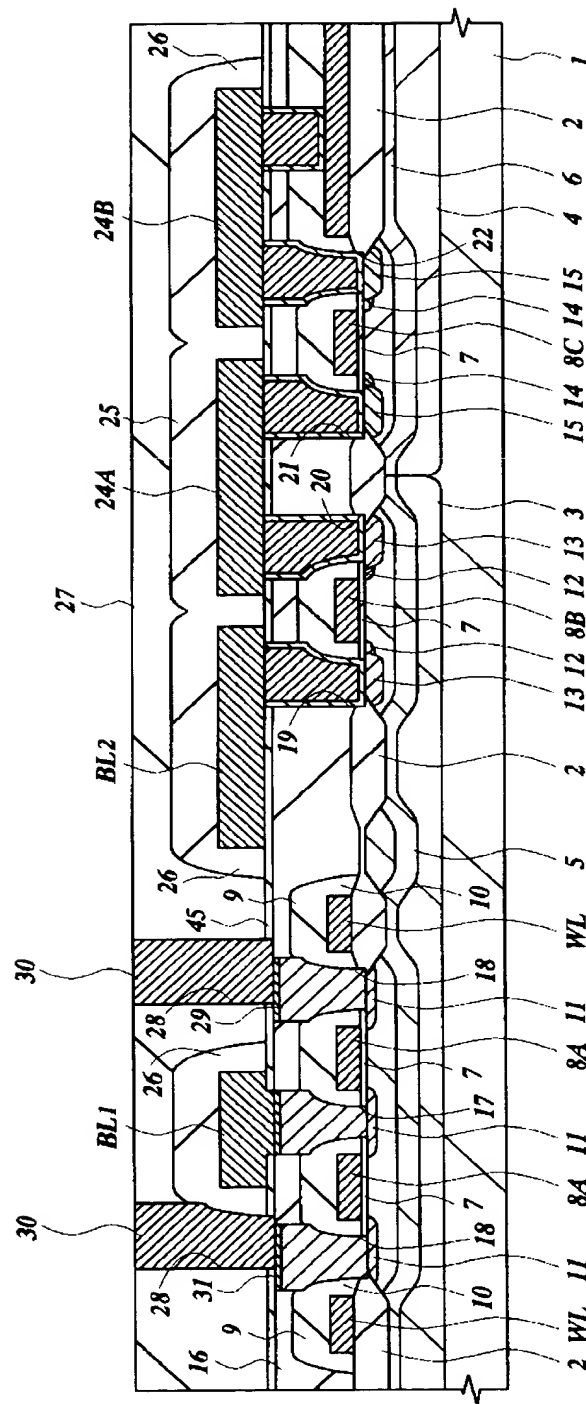


【圖 29】



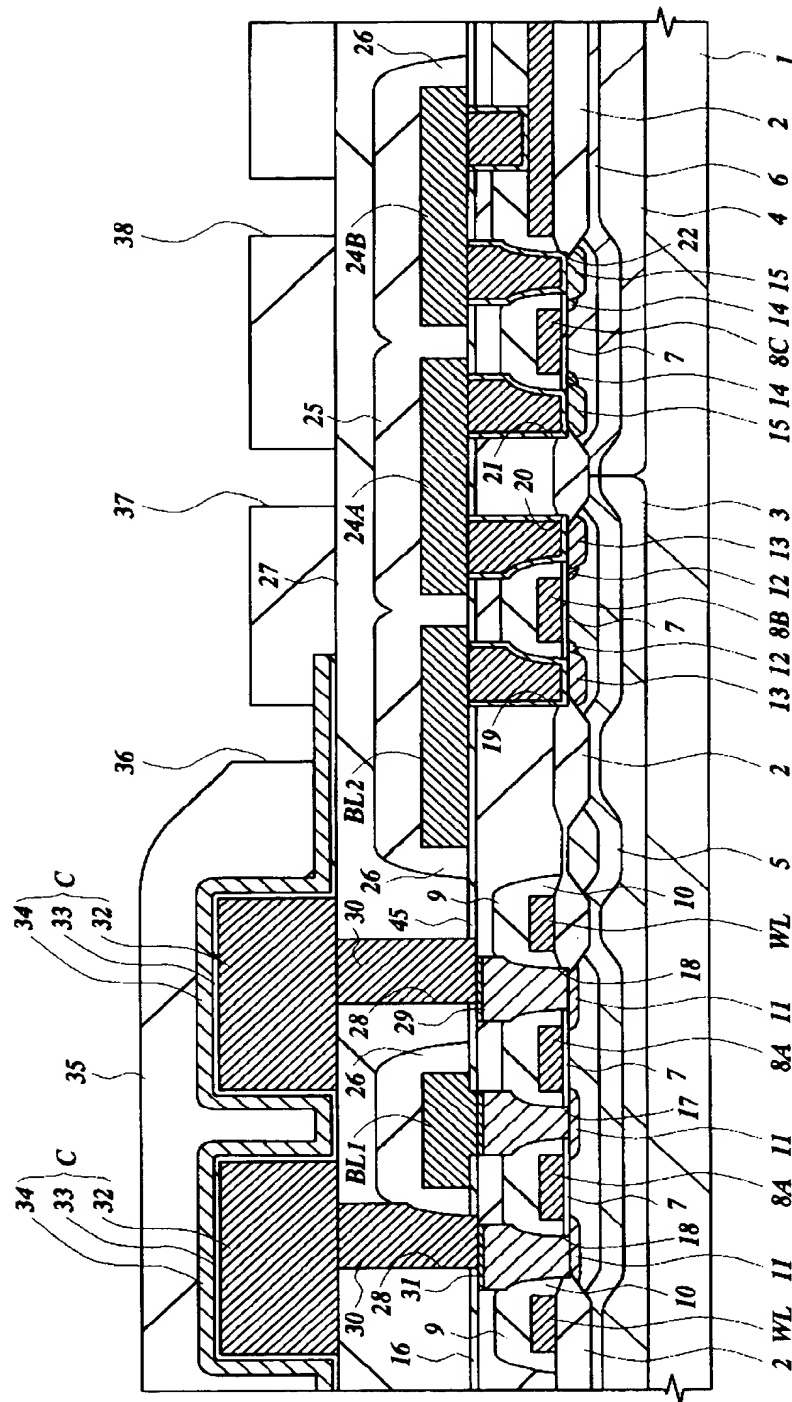
【図30】

図 30



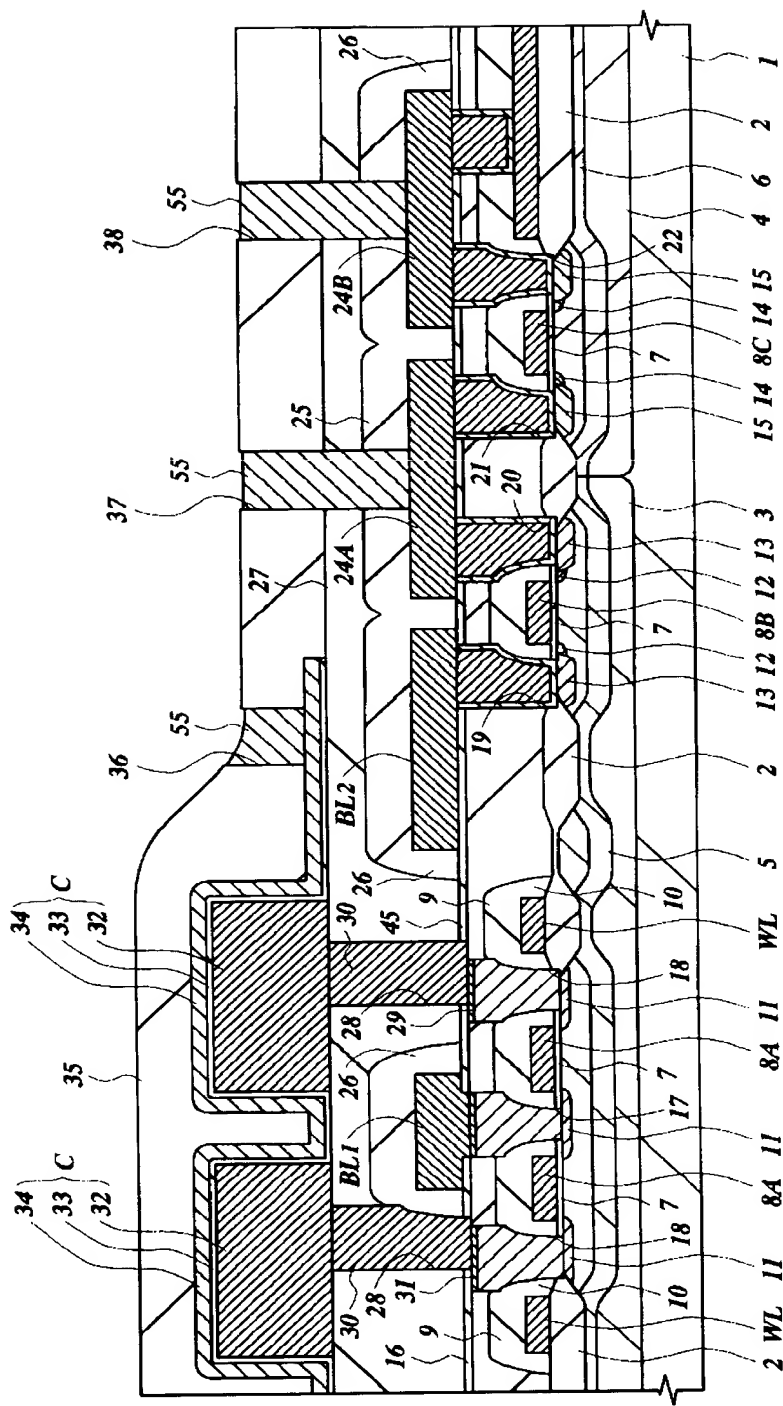
【図 31】

図 31



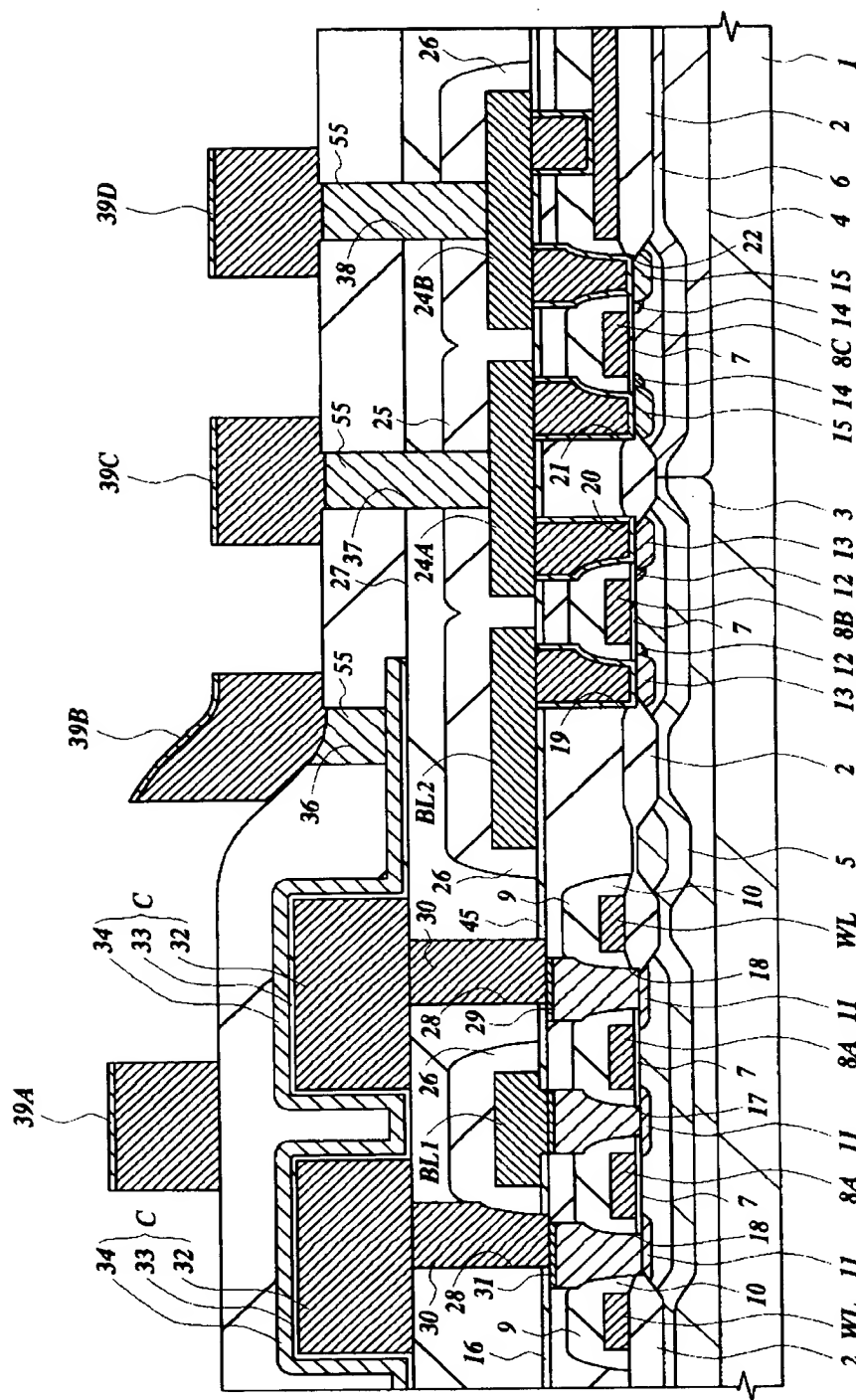
【图 32】

图 32

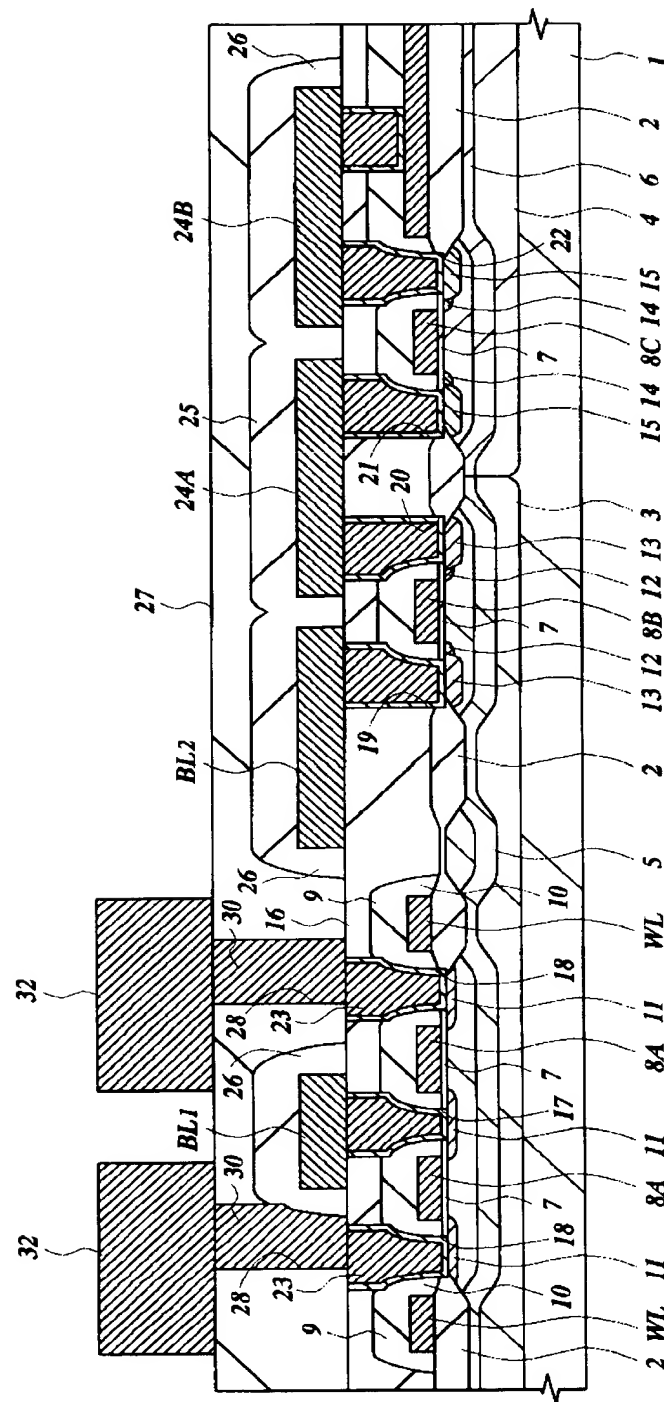


【図 33】

図 33

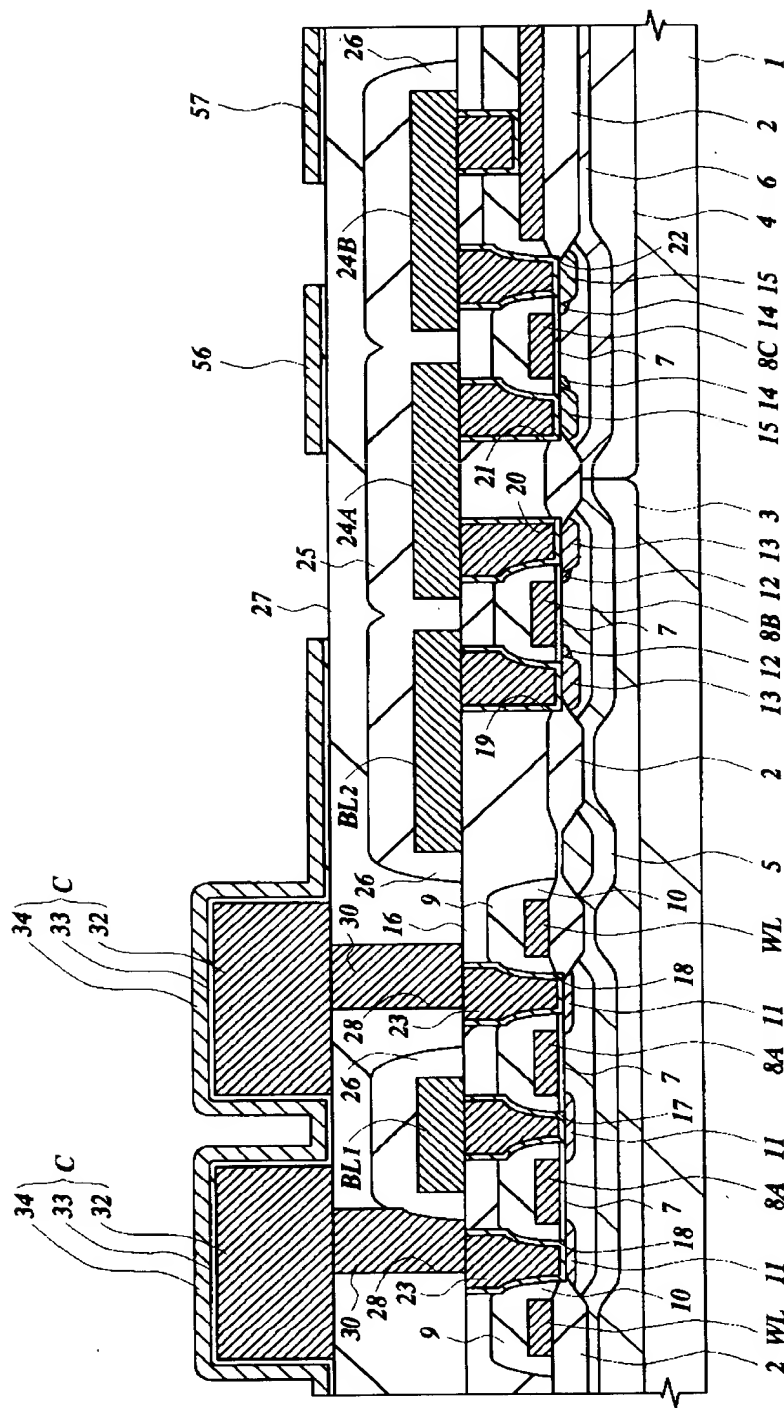


【图 3 4】

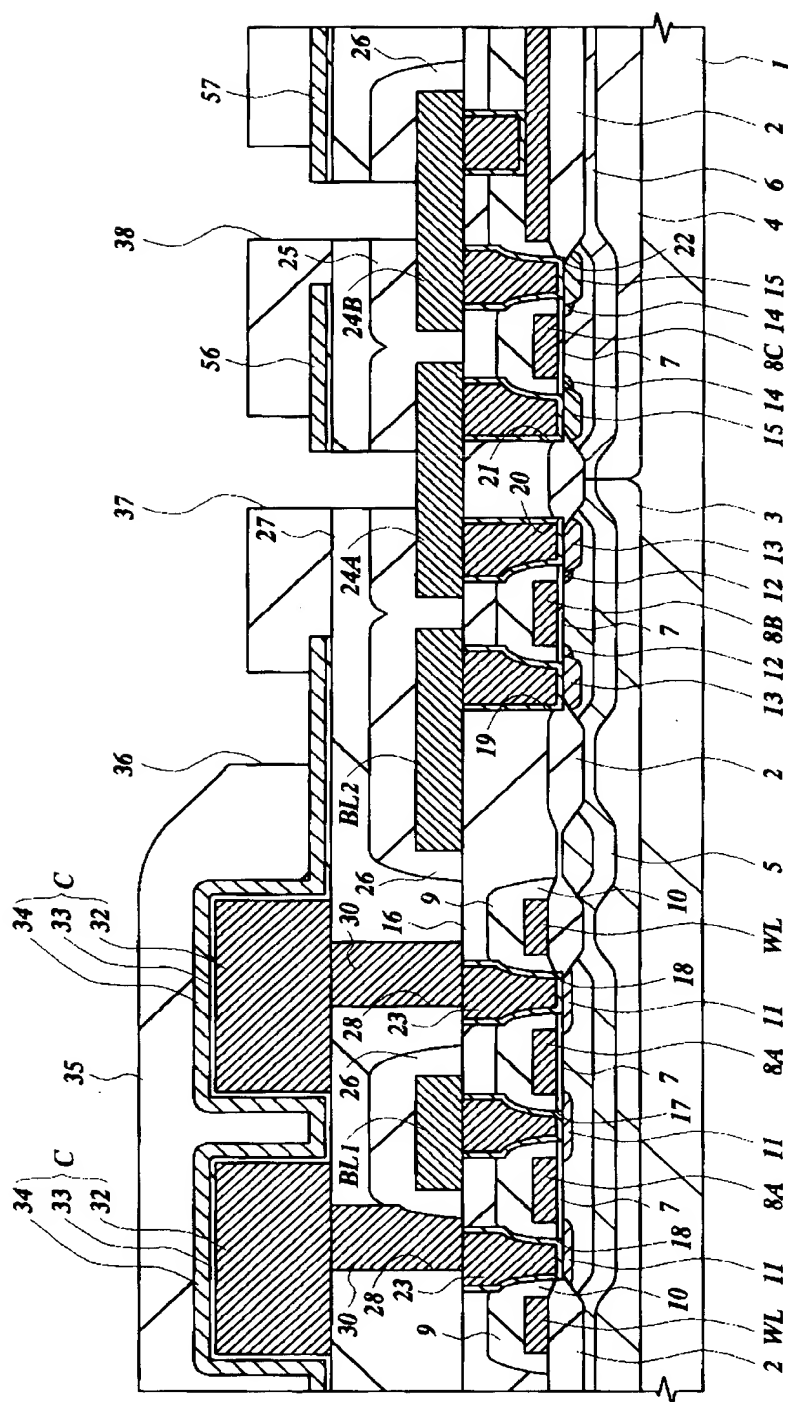


【図 35】

図 35

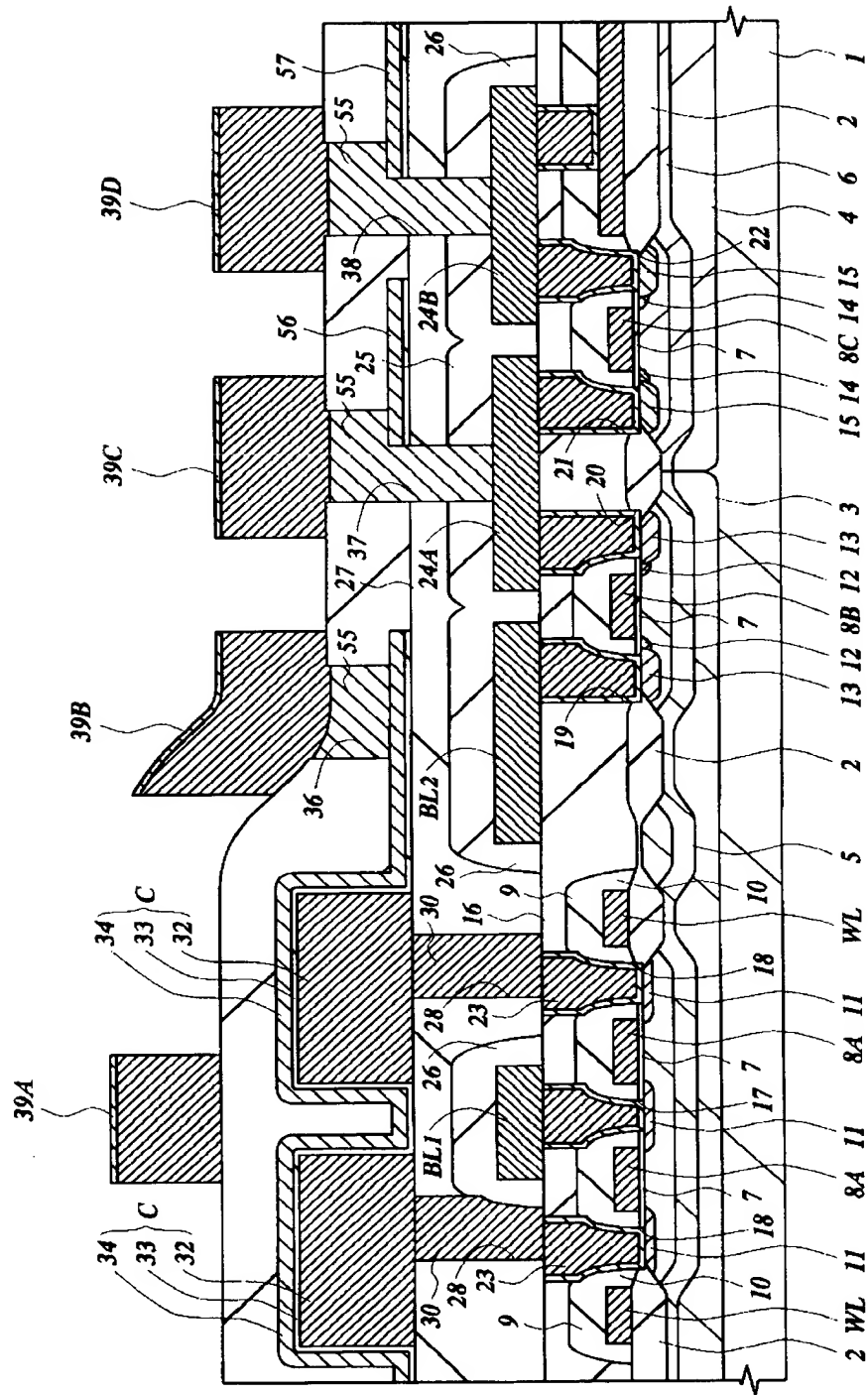


【図 3 6】



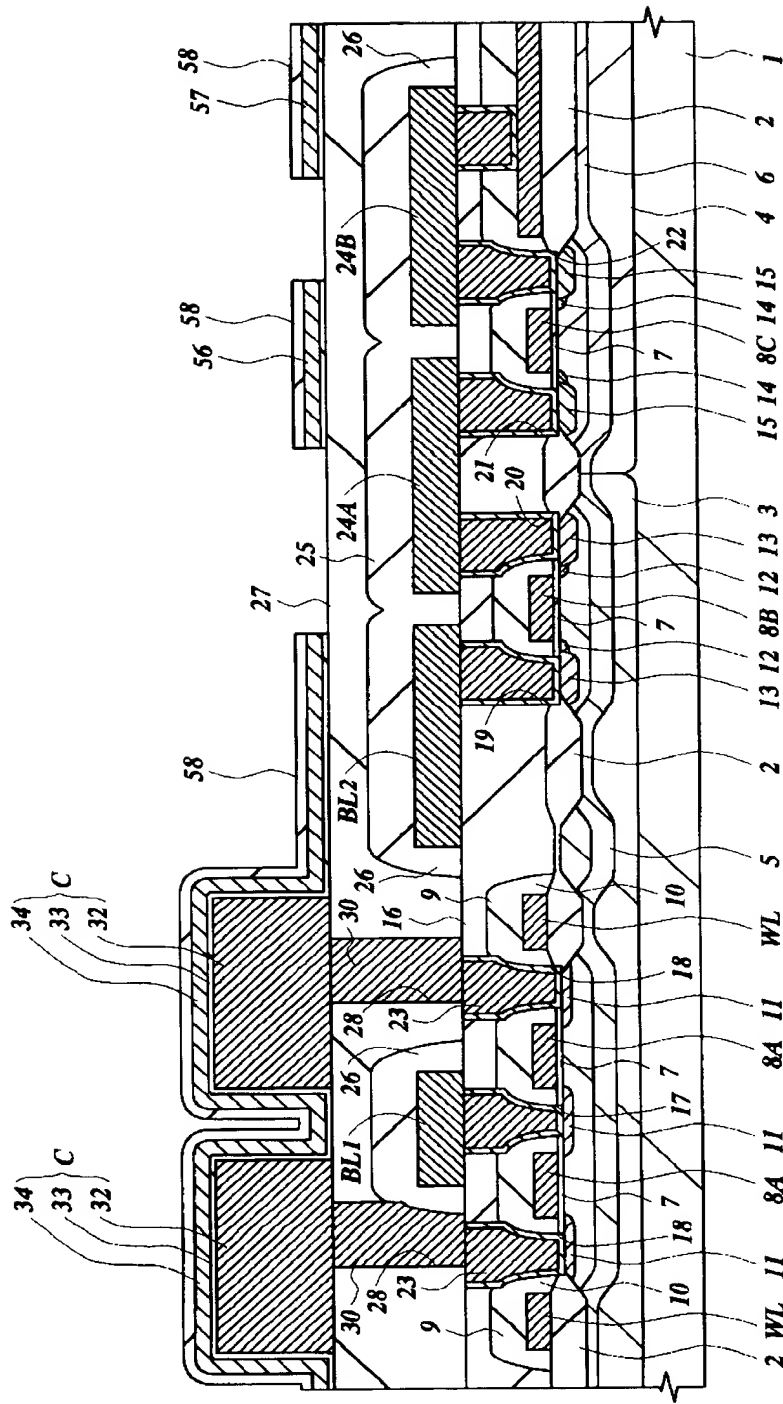
【図 37】

図 37

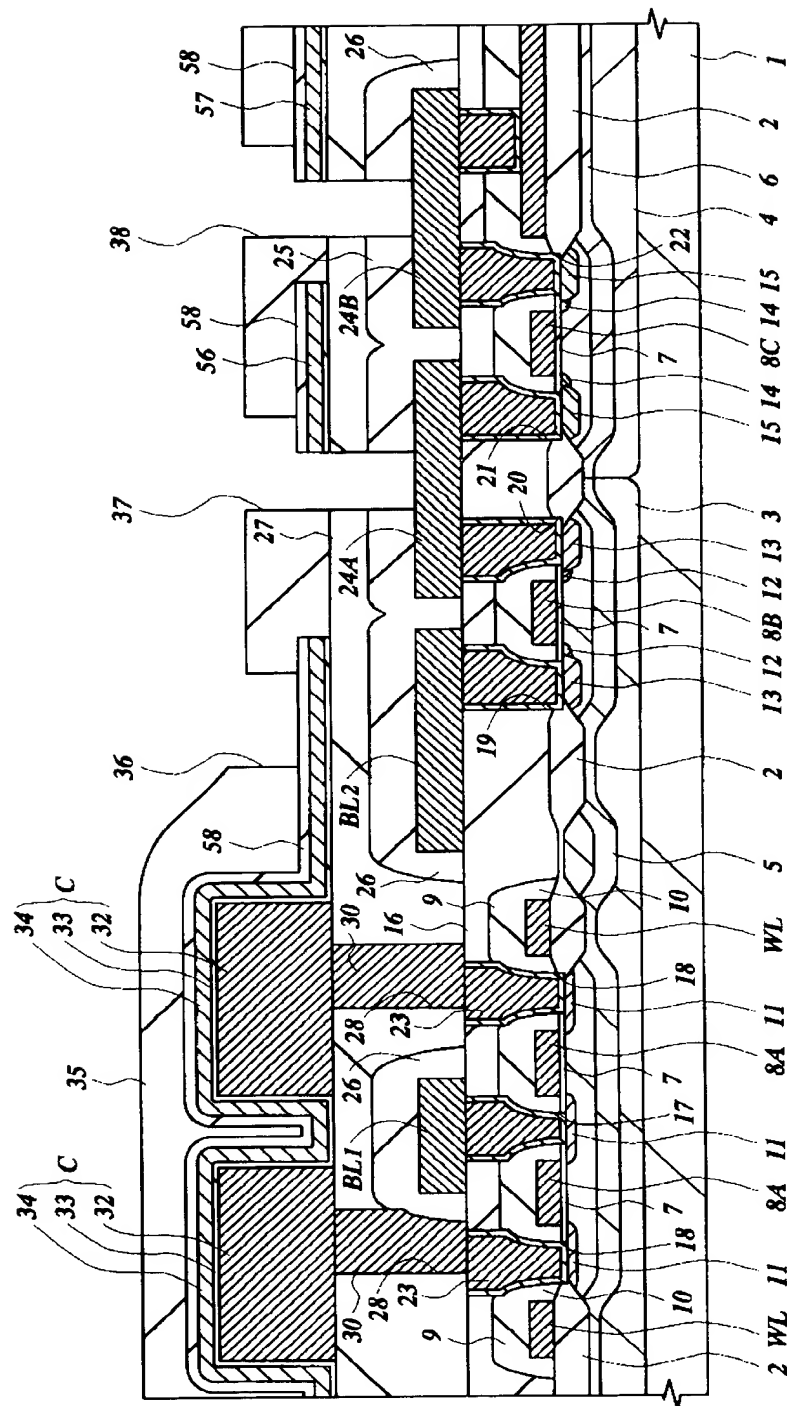


【図 38】

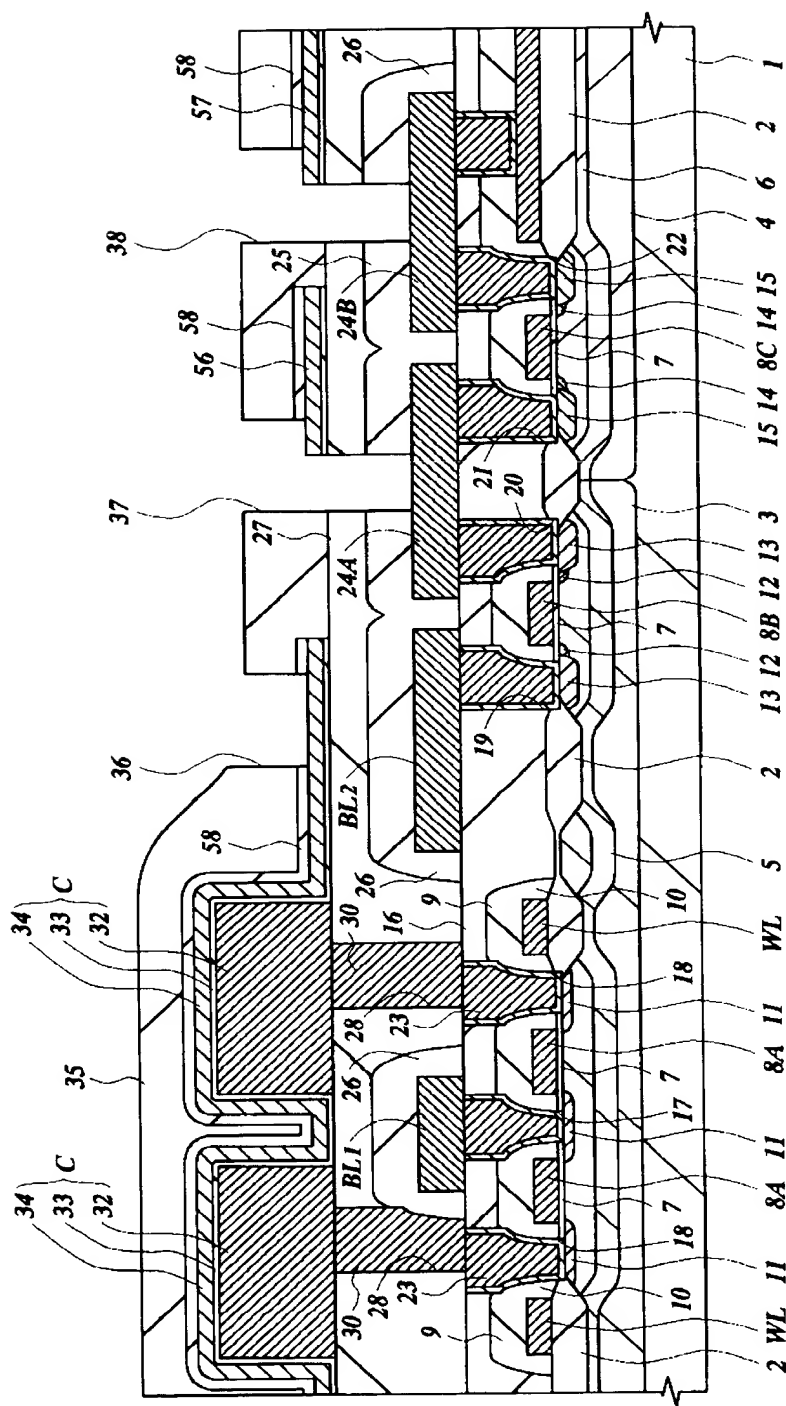
図 38



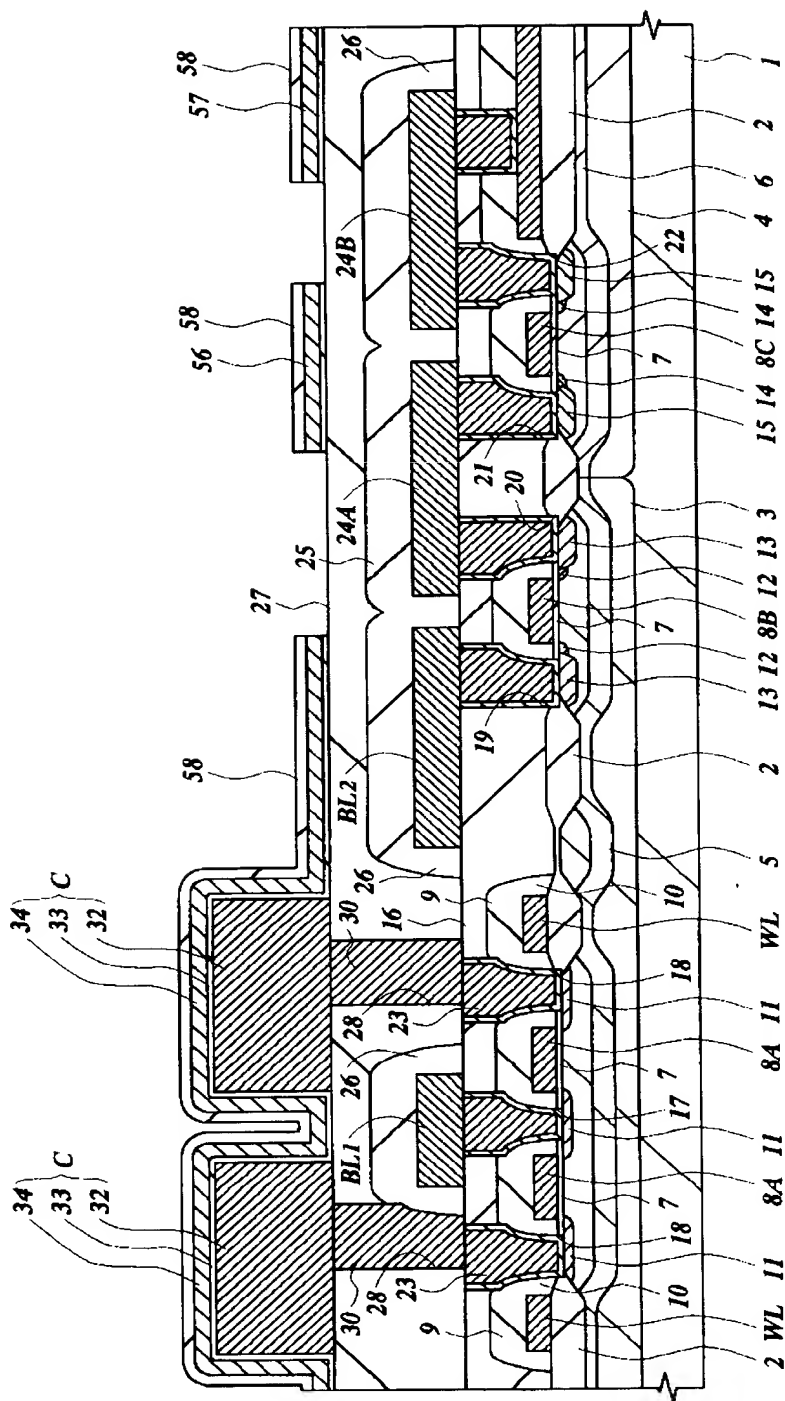
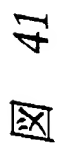
【図 39】



【図 40】

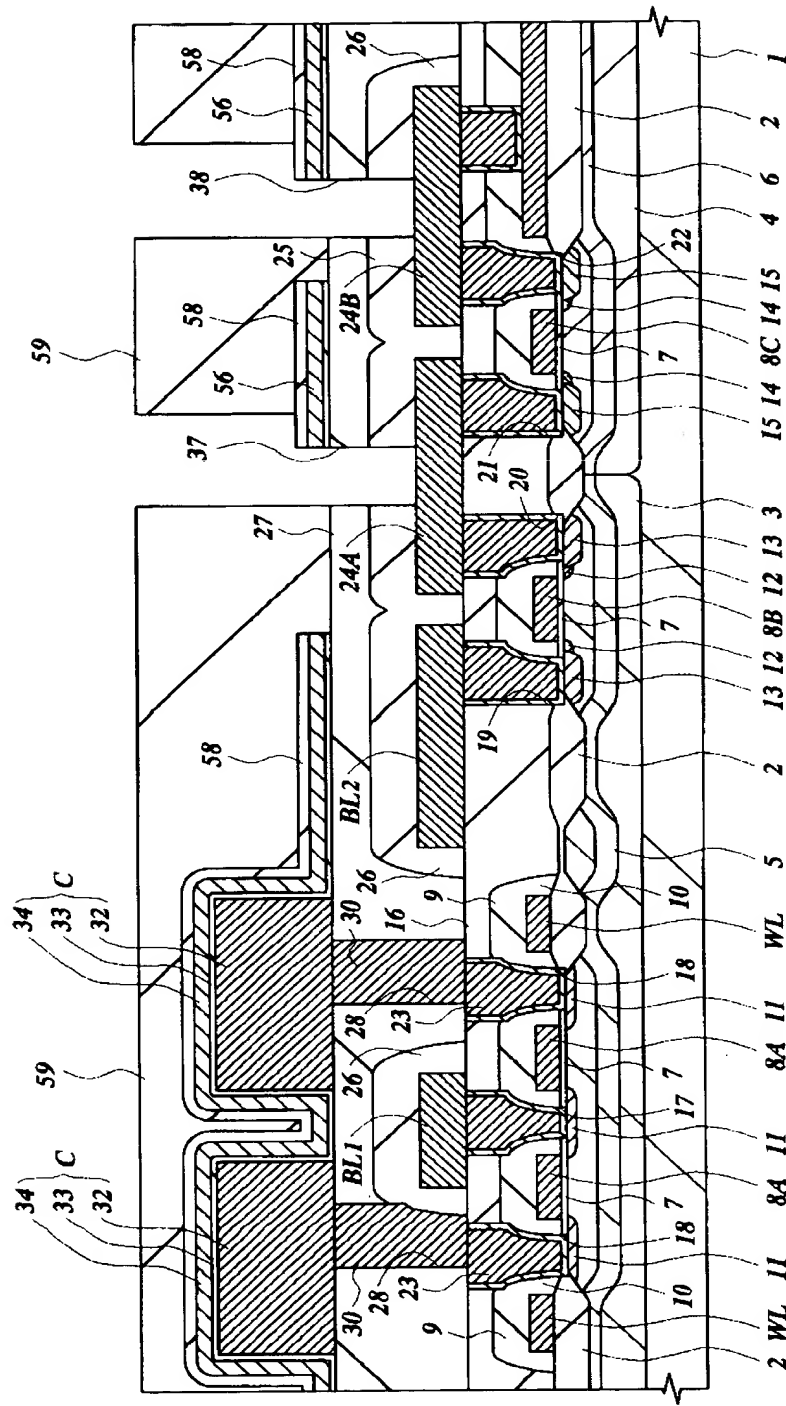


【图 4-1】



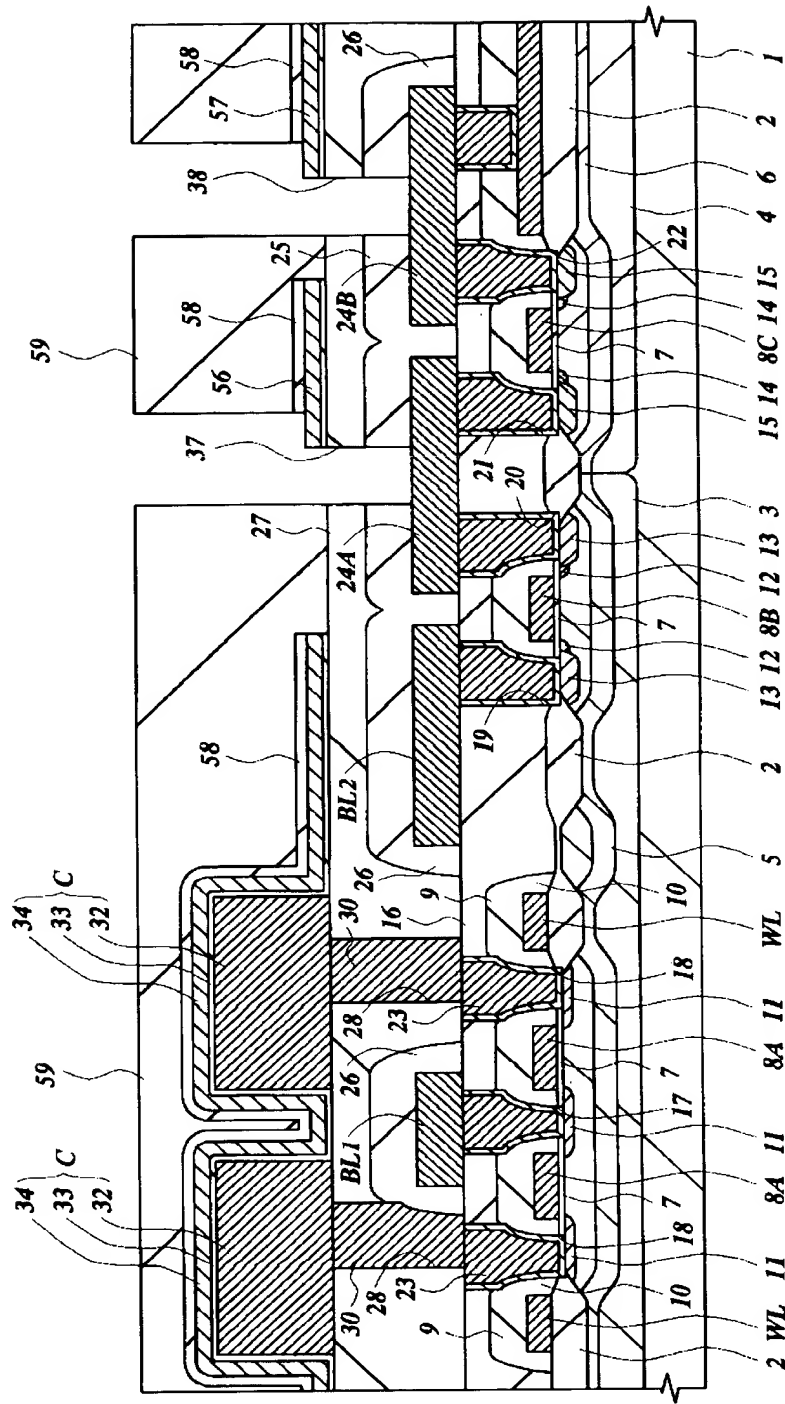
【図 42】

図 42



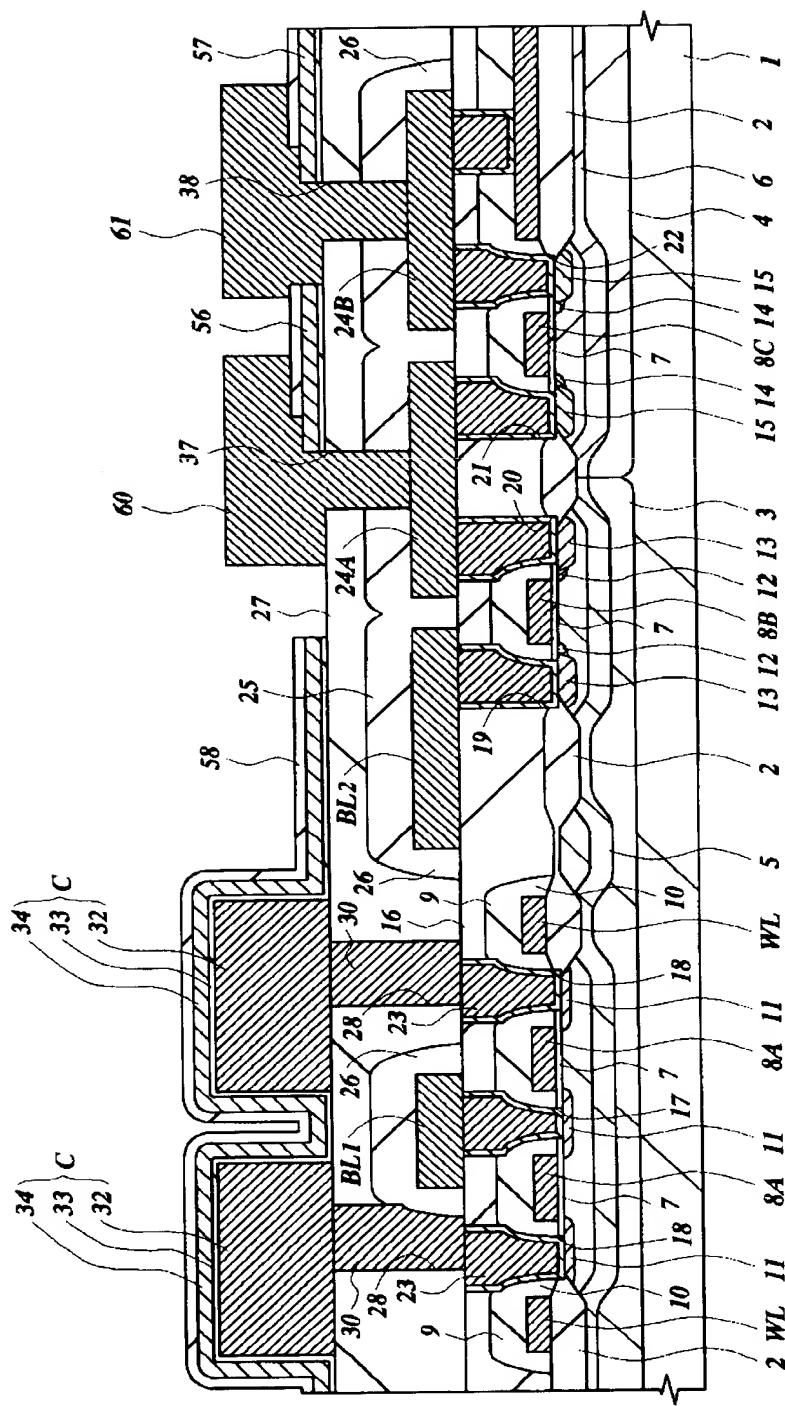
【图 43】

图 43



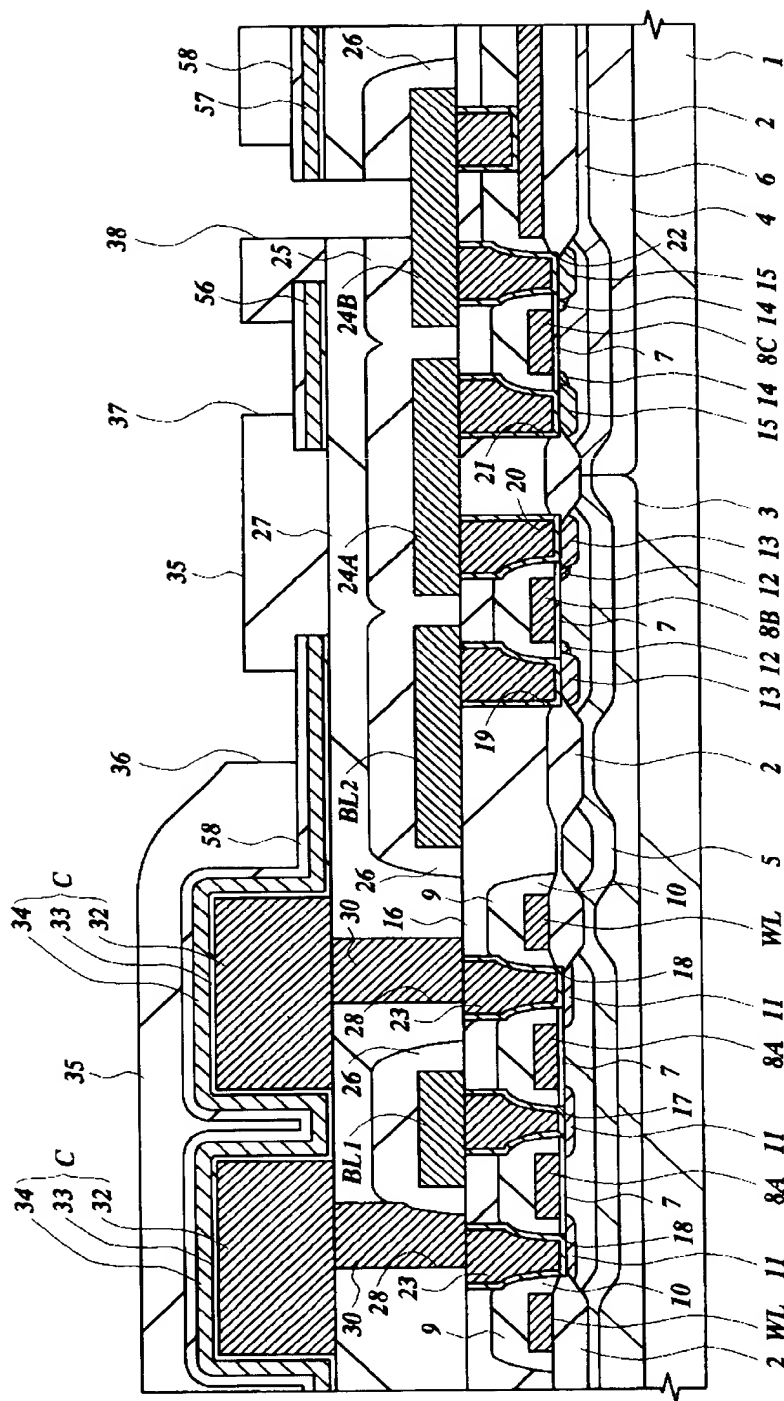
【図 4 4】

図 44



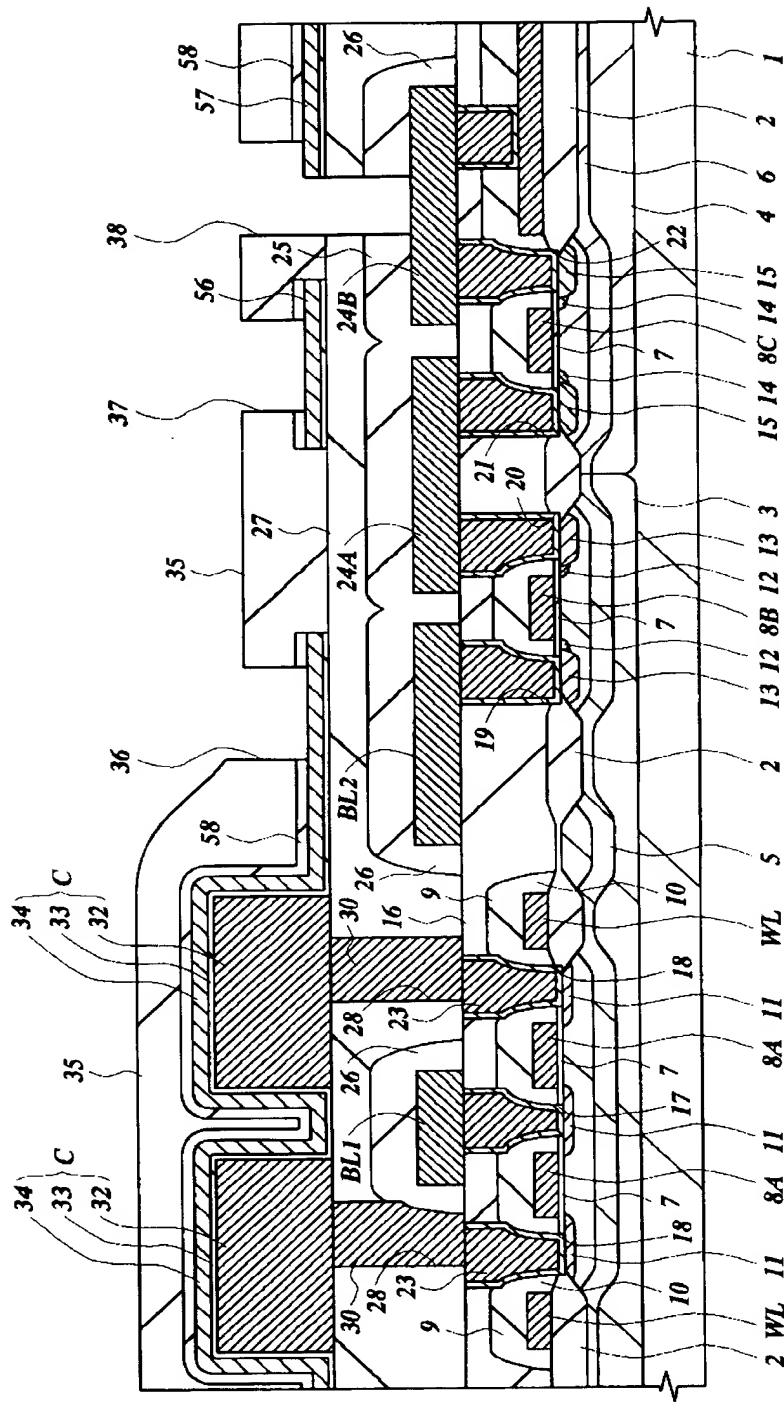
【図 45】

図 45



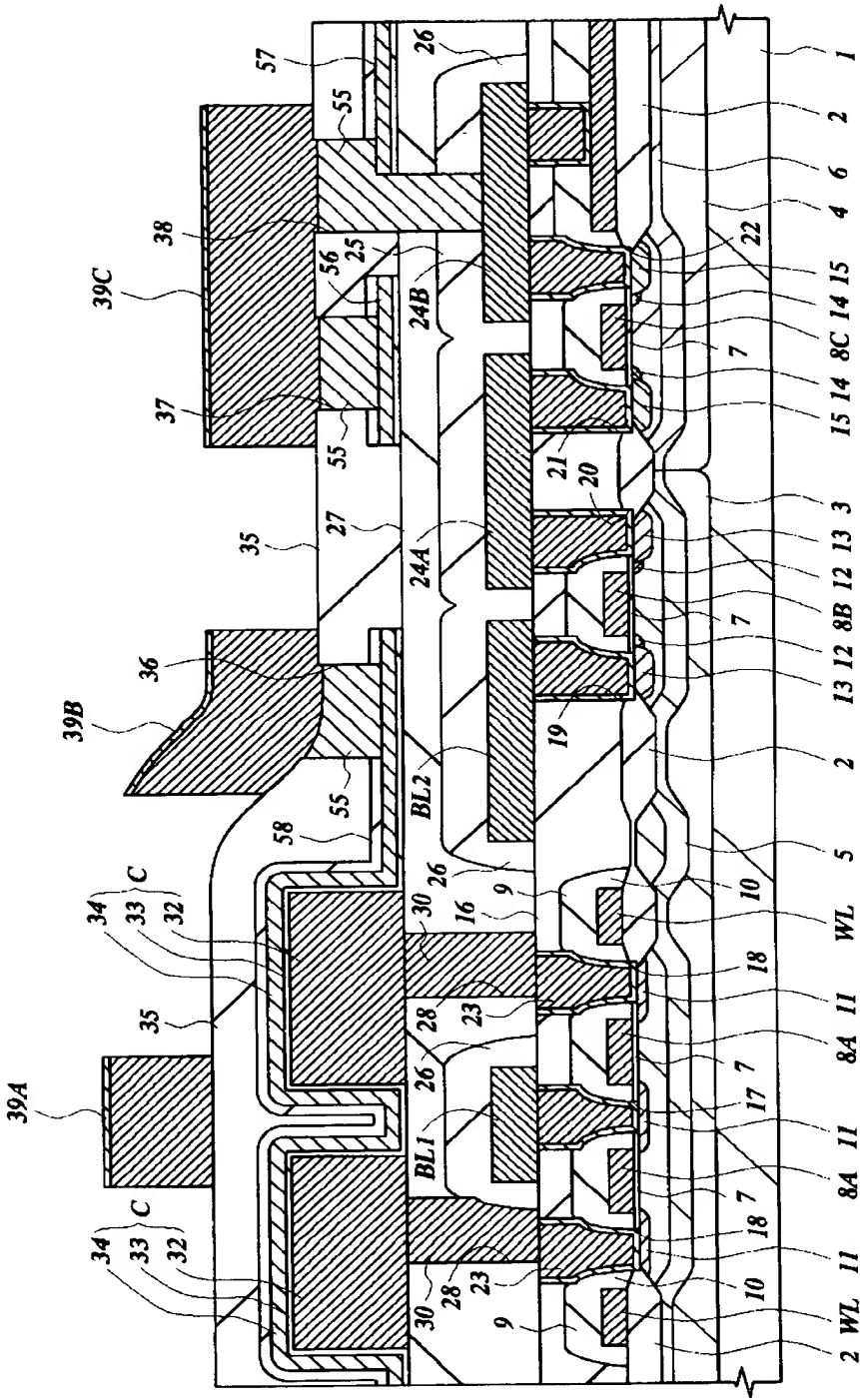
【図 46】

図 46



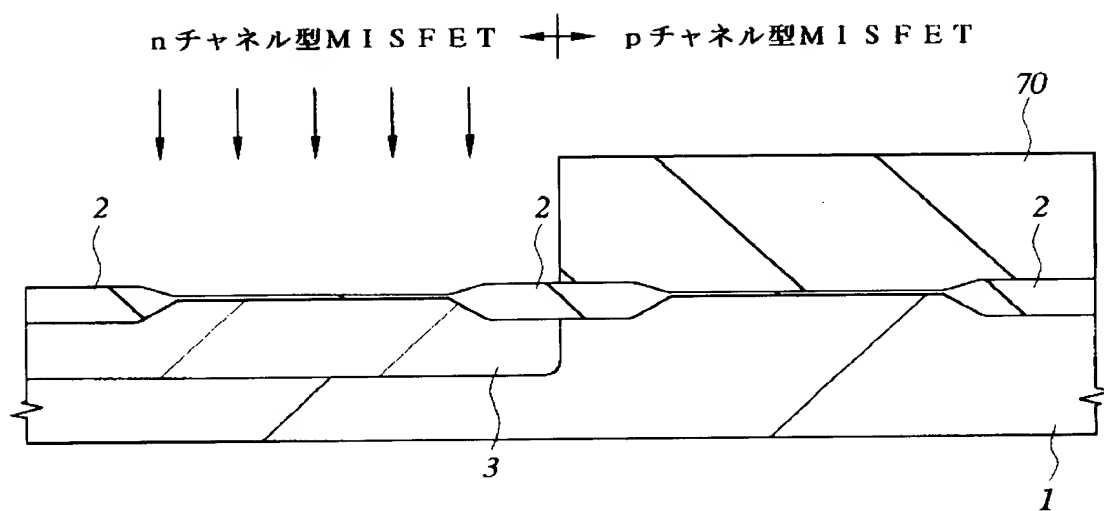
【図 47】

図 47



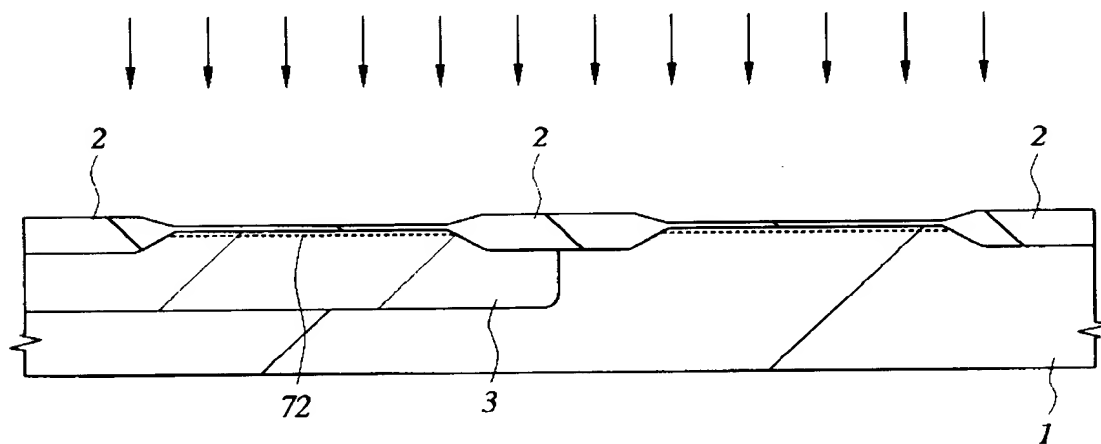
【図48】

図 48



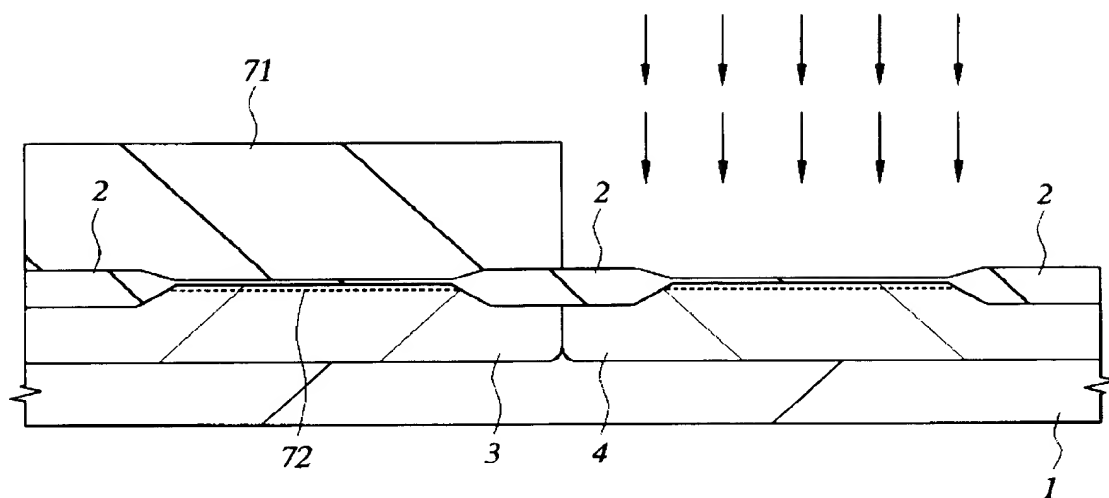
【図49】

図 49



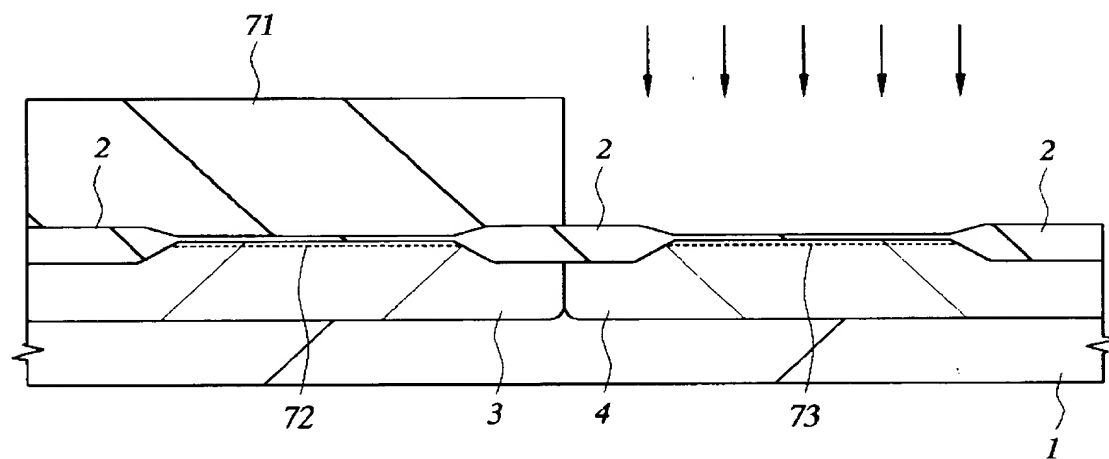
【図50】

図 50



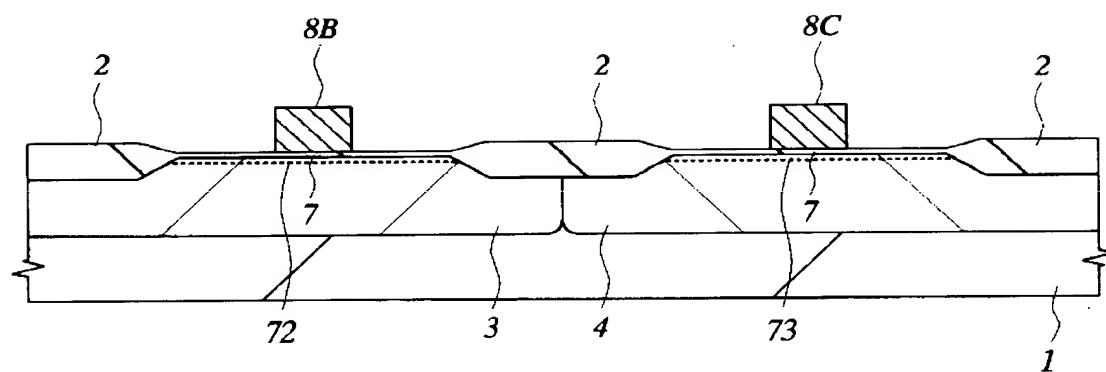
【図51】

図 51



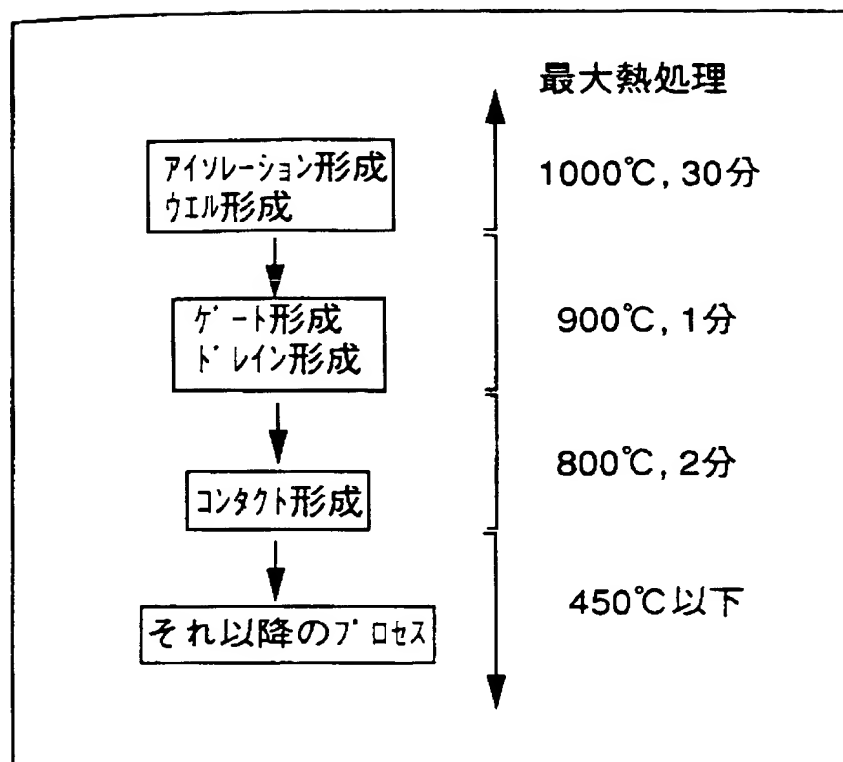
【図52】

図 52



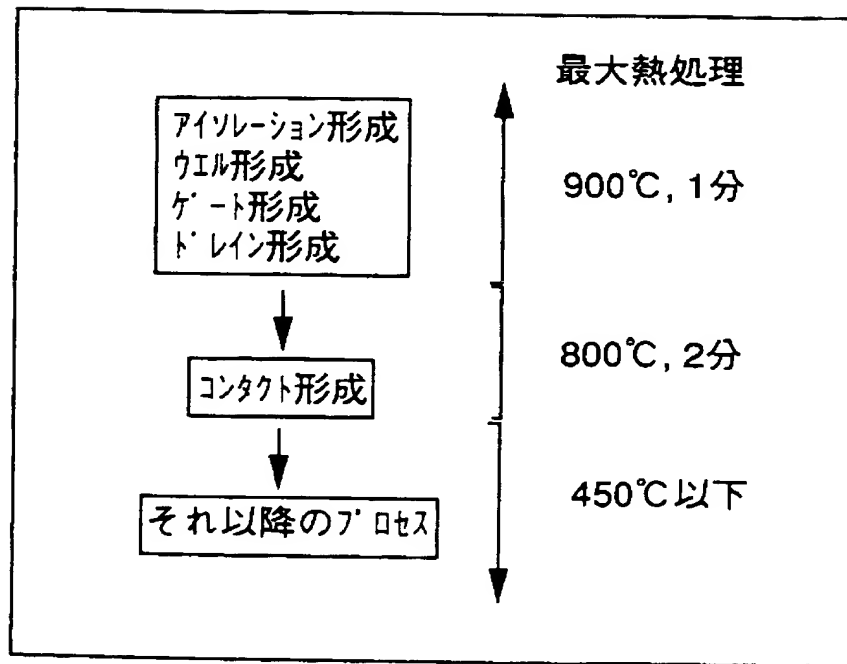
【図53】

図 53



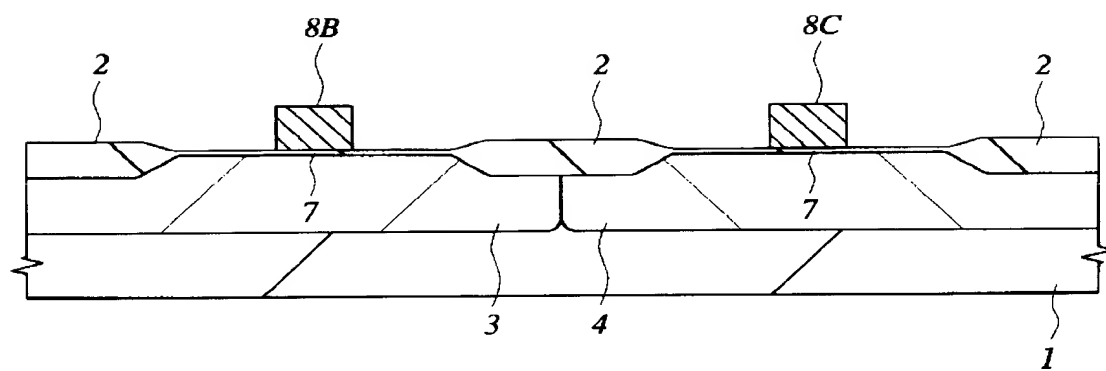
【図54】

図 54



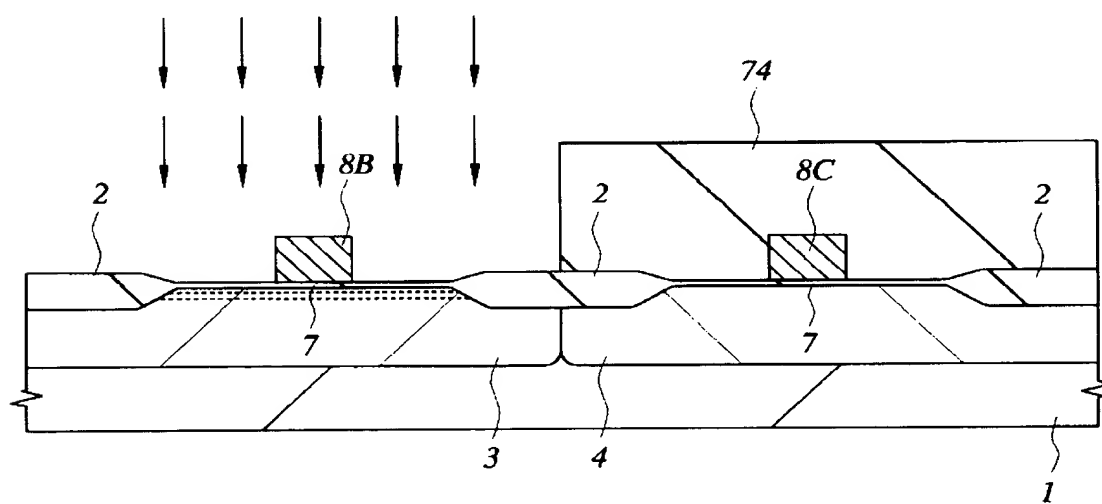
【図55】

図 55



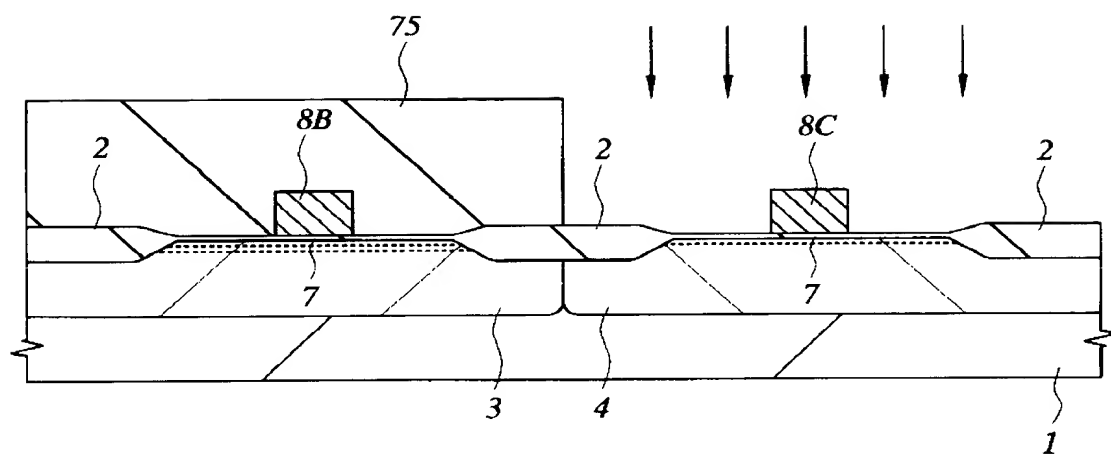
【図56】

図 56



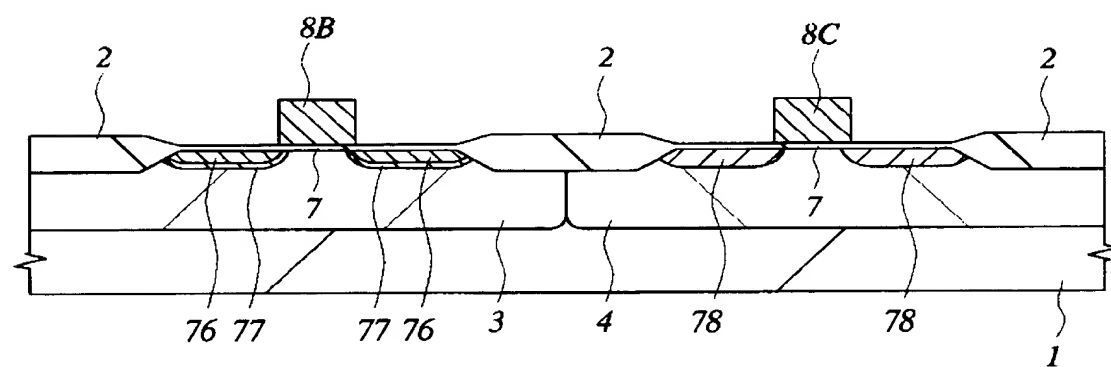
【図 57】

図 57



【図 58】

図 58



【書類名】 要約書

【要約】

【課題】 MISFETを有する半導体集積回路装置の製造プロセスにおける熱処理工程を低減する。

【解決手段】 MISFETを形成した後の工程で半導体基板上に堆積するすべての導電膜を500℃以下の温度で堆積する。また、MISFETを形成した後の工程で半導体基板上に堆積するすべての絶縁膜を500℃以下の温度で堆積する。

【選択図】 図53